

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Yoji IDEI

Application No.: To be assigned

Art Unit: To be assigned

Filed: July 22, 2003

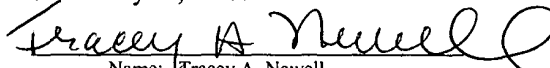
Examiner: To be assigned

For: **CLOCK SYNCHRONIZATION CIRCUIT AND
SEMICONDUCTOR DEVICE**

Docket No.: KAM-00801

Certificate of Express Mailing

I hereby certify that the foregoing documents are being deposited with the United States Postal Service as Express Mail, in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA, 22313-1450 on July 22, 2003.



Name: Tracey A. Newell

Express Mail Label: EV322609128US

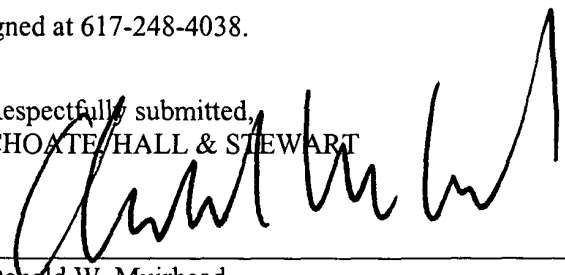
SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Attached hereto is a Japanese Application No. 2002-215765, filed July 24, 2002, a priority document for the above-referenced application. Should there be any questions after reviewing this submission, the Examiner is invited to contact the undersigned at 617-248-4038.

Respectfully submitted,
CHOATE/HALL & STEWART



July 22, 2003
Date

Donald W. Muirhead
Reg. No. 33,978
Patent Group
Choate, Hall & Stewart
Exchange Place
53 State Street
Boston, MA 02109-2804

日本国特許庁
JAPAN PATENT OFFICE

05

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月24日

出願番号

Application Number:

特願2002-215765

[ST.10/C]:

[JP2002-215765]

出願人

Applicant(s):

エルピーダメモリ株式会社

2003年 6月19日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3047975

【書類名】 特許願

【整理番号】 22310188

【提出日】 平成14年 7月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 5/13
H03K 7/00
G11C 11/407

【発明者】

【住所又は居所】 東京都中央区八重洲 2 - 2 - 1 エルピーダメモリ株式会社
会社内

【氏名】 出井 陽治

【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【手数料の表示】

【予納台帳番号】 030362

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114028

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック同期回路及び半導体装置

【特許請求の範囲】

【請求項 1】

それぞれが、入力端子と出力端子を有し、前記入力端子より入力されたクロック信号のエッジが、一方向に進行した後、入力された前記クロック信号のサイクルの後のサイクルのクロック信号のエッジに基づき生成される折返し制御信号に基づき、進行方向を反転し、前記一方向に進行した時間と同一の時間をかけて、前記一方向と逆方向に進行して、前記出力端子から出力される構成とされている、第 1 及び第 2 の双方向型の遅延回路列と、

前記第 1 の双方向型の遅延回路列の前段及び後段とにそれぞれ配設されている、遅延時間可変型の第 1 の前段遅延回路及び第 1 の後段遅延回路と、

前記第 2 の双方向型の遅延回路列の前段及び後段にそれぞれ配設されている、遅延時間可変型の第 2 の前段遅延回路及び第 2 の後段遅延回路と、

前記第 1 及び第 2 の後段遅延回路の出力信号を受け取り、前記第 1 及び第 2 の後段遅延回路の出力信号を多重した信号を出力する多重回路と、

前記第 1 及び第 2 の前段遅延回路と、前記第 1 及び第 2 の後段遅延回路の遅延時間を可変に設定する制御を行う遅延時間設定回路と、

を含み、

前記第 1 及び前記第 2 の前段遅延回路の入力端子には、入力されたクロック信号が共通に供給され、

前記第 1 の前段遅延回路、前記第 1 の双方向型遅延回路列、及び前記第 1 の後段遅延回路を含む第 1 のパスと、前記第 2 の前段遅延回路、前記第 2 の双方向型遅延回路列、及び前記第 2 の後段遅延回路を含む第 2 のパスとを、前記クロック信号の所定のサイクル毎に交互に選択する相選択制御手段と、

を備えている、ことを特徴とするクロック同期回路。

【請求項 2】

入力端子と出力端子を有し、前記入力端子よりクロック信号を受け取り、前記クロック信号を予め定められた遅延時間遅延させて前記出力端子から出力する第

1 の遅延回路を備え、

前記第 1 及び前記第 2 の前段遅延回路の入力端子には、前記第 1 の遅延回路の出力端子から出力されるクロック信号が共通に入力される、ことを特徴とする請求項 1 記載のクロック同期回路。

【請求項 3】

前記第 1 の遅延回路の前段に、

前記クロック同期回路に入力されるクロック信号を入力端子より入力とする第 1 のバッファ回路を備え、

前記第 1 のバッファ回路の出力端子が、前記第 1 の遅延回路の入力端子に接続されており、

前記多重回路の出力信号に基づき、信号出力端子から出力信号を出力する出力回路をさらに備え、

前記第 1 の遅延回路の遅延時間は、前記第 1 のバッファ回路の遅延時間と、前記多重回路の遅延時間と前記出力回路の遅延時間との和に等しい、ことを特徴とする請求項 2 記載のクロック同期回路。

【請求項 4】

前記遅延時間設定回路が、前記クロック信号の周期と、前記第 1 の遅延回路の遅延時間とに応じて、前記第 1 及び第 2 の前段遅延回路と、前記第 1 及び第 2 の後段遅延回路の遅延時間を設定する手段を備えている、ことを特徴とする請求項 2 記載のクロック同期回路。

【請求項 5】

前記第 1 及び第 2 の双方向型遅延回路列のそれぞれの入力から折り返しまでの最小の遅延時間を t_{BDDmin} とし、

前記クロック信号の 1 周期を t_{CK} とし、

前記第 1 の遅延回路の遅延時間を t_{REP} とし、

前記第 1 及び第 2 の前段遅延回路と前記第 1 及び第 2 の後段遅延回路の遅延時間を同一の遅延時間 t_{PPD} とし、

n を 2 以上の整数とし、

前記遅延時間設定回路は、 t_{PPD} が関係式

$$t_{BDDmin} < n \times t_{CK} - (t_{PPD} + t_{REP}) < t_{CK}$$

を満たすように、前記第 1 及び第 2 の前段遅延回路と前記第 1 及び第 2 の後段遅延回路の遅延時間を設定する手段を備えている、ことを特徴とする請求項 3 記載のクロック同期回路。

【請求項 6】

前記第 1 及び第 2 の前段遅延回路と前記第 1 及び第 2 の後段遅延回路のそれぞれが、

複数段の遅延素子と、

前記複数段の遅延素子のうち遅延線を構成する遅延素子を選択するための複数段の選択回路と、

を備え、

前記遅延時間設定回路から供給されるタップ選択信号に基づき、選択されたタップ選択信号に対応する遅延時間に設定される、ことを特徴とする請求項 1 乃至 5 のいずれかに記載のクロック同期回路。

【請求項 7】

前記第 1 及び第 2 の前段遅延回路と前記第 1 及び第 2 の後段遅延回路のそれぞれが、

信号入力端子と、

信号出力端子と、

前記遅延時間設定回路から供給される複数のタップ選択信号を入力する複数の制御信号入力端子と、

前記信号入力端子より入力されたクロック信号と、固定論理値の信号のいずれかを、対応する第 1 のタップ選択信号の値にしたがって選択する第 1 段の選択回路と、

前記第 1 段の選択回路の後段に、複数段縦続形態に接続される単位遅延回路と

を備え、

前記単位遅延回路は、

前段の選択回路の出力を受ける遅延素子と、

前記信号入力端子より入力されたクロック信号と、前記遅延素子の出力とのいずれか一方を、対応するタップ選択信号の値に基づき選択する選択回路と、
を備えており、

前記信号入力端子から入力されたクロック信号は、選択された前記タップ選択信号に対応する単位遅延回路の前記選択回路から、次段の単位遅延回路の遅延素子に伝達され、前記次段の単位遅延回路と前記信号出力端子との間に挿入されている単位遅延回路を介して前記信号出力端子から出力される、ことを特徴とする請求項 1 乃至 5 のいずれか一に記載のクロック同期回路。

【請求項 8】

前記遅延時間設定回路が、入力されたクロック信号を $2n$ 分周して出力する第 1 の分周回路と、

前記第 1 の分周回路から出力される分周信号(「第 1 の分周信号」という)を受け、前記第 1 の分周信号を前記第 1 の遅延回路と同一の遅延時間分遅延させて出力する第 2 の遅延回路と、

前記第 2 の遅延回路の出力信号を入力し、予め定められた遅延時間をさらに付加して出力する第 1 の付加遅延回路と、

前記第 1 の付加遅延回路の出力信号を入力とする遅延線を構成する複数段の遅延素子と、

前記複数段の遅延素子の出力信号を、前記第 1 の分周回路から出力される前記第 1 の分周信号に基づきサンプリングして出力する複数のラッチ回路と、

前記複数のラッチ回路の出力信号を受け、前記複数のラッチ回路のサンプリング結果に基づき、前記遅延線を伝送される信号の遷移エッジを検出し、前記タップ選択信号を生成する論理回路と、

を備えている、ことを特徴とする請求項 5 記載のクロック同期回路。

【請求項 9】

前記遅延時間設定回路が、入力されたクロック信号を n 分周した第 2 の分周信号を出力する第 2 の分周回路と、

前記第 2 の遅延回路から出力される前記第 2 の分周信号を入力し、前記第 2 の分周信号を予め定められた遅延時間さらに遅延させて出力する第 2 の付加遅延回

路と、

前記第 2 の付加遅延回路の出力信号を、前記第 2 の分周回路から出力される前記第 2 の分周信号に基づきサンプルして出力するラッチ回路と、

を有するロックモード判定回路を備え、

前記遅延線を伝送される信号の遷移エッジを検出し、前記タップ選択信号を生成する前記論理回路と、前記ロックモード判定回路の前記ラッチ回路の出力信号とに基づき、前記タップ選択信号を生成する回路をさらに備えている、ことを特徴とする請求項 8 記載のクロック同期回路。

【請求項 1 0】

前記第 1 のバッファ回路から出力されるクロック信号を入力し、前記クロック信号のサイクル毎に、活性化が交互に切り替え制御される第 1 及び第 2 の相選択信号を出力する相選択回路と、

前記第 1 のバッファ回路の出力信号と、前記第 1 の前段遅延回路の出力信号と、前記第 1 の相選択信号とを入力し、前記第 1 の相選択信号が活性化されているとき、前記第 1 の双方向型遅延回路の入力端子に、前記第 1 の前段遅延回路の出力信号を供給するとともに、前記第 1 のバッファ回路の出力信号に基づき折返し制御信号を出力する第 1 の制御回路と、

前記第 2 のバッファ回路の出力信号と、前記第 2 の前段遅延回路の出力信号と、前記第 2 の相選択信号とを入力し、前記第 2 の相選択信号が活性化されているとき、前記第 2 の双方向型遅延回路の入力端子に、前記第 2 の前段遅延回路の出力信号を供給するとともに、前記第 2 のバッファ回路の出力信号に基づき折返し制御信号を出力する第 2 の制御回路と、

を備えている、ことを特徴とする請求項 3 記載のクロック同期回路。

【請求項 1 1】

前記遅延時間設定回路が、前記第 1 のバッファ回路と等価の遅延時間の第 2 のバッファ回路を備え、

前記第 2 のバッファ回路の出力信号が、前記第 1 の分周回路の入力端子に供給される、ことを特徴とする請求項 8 記載のクロック同期回路。

【請求項 1 2】

前記遅延時間設定回路が、前記第 1 のバッファ回路と等価の遅延時間の第 2 のバッファ回路を備え、前記第 2 のバッファ回路の出力信号が前記第 2 の分周回路の入力端子に供給される、ことを特徴とする請求項 9 記載のクロック同期回路。

【請求項 1 3】

前記第 1 のバッファ回路の入力端子に入力されるクロック信号の遷移エッジから、前記出力回路のデータ出力端子からの出力にいたるクロックアクセスパスの遅延時間を、前記クロック信号の周期の n 倍（ただし、 n は 2 以上の整数）に調整自在とされている、ことを特徴とする請求項 3 記載のクロック同期回路。

【請求項 1 4】

前記クロック信号の周期と、前記第 1 のバッファ回路の入力端子に入力されるクロック信号の遷移エッジから、前記出力回路のデータ出力端子からの出力にいたるクロックアクセスパスの遅延時間とを比較し、前記クロックアクセスパスの遅延時間を、前記クロック周期の 1 倍又は 2 倍の適当な方に自動的に切り替える手段を備えている、ことを特徴とする請求項 3 記載のクロック同期回路。

【請求項 1 5】

前記相選択制御手段が、前記第 1 の前段遅延回路、前記第 1 の双方向型遅延回路列、及び前記第 1 の後段遅延回路を含む第 1 のパスと、前記第 2 の前段遅延回路、前記第 2 の双方向型遅延回路列、及び前記第 2 の後段遅延回路を含む第 2 のパスとを、前記クロック信号のサイクル毎に交互に切り替える、ことを特徴とする請求項 1 記載のクロック同期回路。

【請求項 1 6】

請求項 1 乃至 1 5 のいずれか一のクロック同期回路を備えた半導体装置。

【請求項 1 7】

半導体装置に供給されるクロック信号を入力端子より入力とする第 1 のバッファ回路と、

前記第 1 のバッファ回路から出力されるクロック信号を受け取り、前記クロック信号を予め定められた遅延時間遅延させて出力する第 1 の遅延回路と、

前記第 1 の遅延回路の出力端子に入力端子が共通に接続され、前記第 1 の遅延回路から出力される信号を遅延させて出力する、遅延時間可変型の第 1 及び第 2

の前段遅延回路と、

前記第 1 のバッファ回路から出力されるクロック信号を受け取り、前記クロック信号のサイクル毎に、活性化が交互に切り替え制御される第 1 及び第 2 の相選択信号を出力する相選択回路と、

それぞれが、入力端子と出力端子を有し、前記入力端子より入力されたクロック信号のエッジが、一方向に進行した後、入力された前記クロック信号のサイクルの後のサイクルのクロック信号のエッジに基づき生成される折返し制御信号に基づき、進行方向を反転し、前記一方向に進行した時間と同一の時間をかけて、前記一方向と逆方向に進行して、前記出力端子から出力される構成とされている、第 1 及び第 2 の双方向型の遅延回路列と、

前記第 1 のバッファ回路の出力信号と、前記第 1 の前段遅延回路の出力信号と、前記第 1 の相選択信号とを入力し、前記第 1 の相選択信号が活性化されているとき、前記第 1 の双方向型遅延回路の入力端子に、前記第 1 の前段遅延回路の出力信号を供給するとともに、前記第 1 のバッファ回路の出力信号に基づき折返し制御信号を出力する第 1 の制御回路と、

前記第 2 のバッファ回路の出力信号と、前記第 2 の前段遅延回路の出力信号と、前記第 2 の相選択信号とを入力し、前記第 2 の相選択信号が活性化されているとき、前記第 2 の双方向型遅延回路の入力端子に、前記第 2 の前段遅延回路の出力信号を供給するとともに、前記第 2 のバッファ回路の出力信号に基づき折返し制御信号を出力する第 2 の制御回路と、

前記第 1 及び第 2 の双方向型の遅延回路列の後段にそれぞれ配設されている、遅延時間可変型の第 1 及び第 2 の後段遅延回路と、

前記第 1 及び第 2 の後段遅延回路の出力信号を受け取り、前記第 1 及び第 2 の後段遅延回路の出力信号を多重した信号を出力する多重回路と、

前記多重回路の出力信号に基づき、データ出力端子からデータを出力する出力回路と、

前記クロック信号の周期と、前記第 1 の遅延回路の遅延時間とに応じて、前記第 1 及び第 2 の前段遅延回路と前記第 1 及び第 2 の後段遅延回路の遅延時間を可変に設定する制御を行う遅延時間設定回路と、

を含み、

前記第 1 の遅延回路の遅延時間は、前記第 1 のバッファ回路の遅延時間と、前記多重回路の遅延時間と前記出力回路の遅延時間との和に等しく、

前記第 1 の前段遅延回路、前記第 1 の双方向型遅延回路列、及び前記第 1 の後段遅延回路を含む第 1 のパスと、前記第 2 の前段遅延回路、前記第 2 の双方向型遅延回路列、及び前記第 2 の後段遅延回路を含む第 2 のパスとが、前記クロック信号のサイクル毎に交互に切り替えられ、

前記データ出力端子から前記クロック信号のエッジに同期した信号が出力される、ことを特徴とする半導体装置。

【請求項 1 8】

前記第 1 及び第 2 の前段遅延回路と前記第 1 及び第 2 の後段遅延回路のそれぞれが、

信号入力端子と、

信号出力端子と、

前記遅延時間設定回路から供給される複数のタップ選択信号を入力する複数の制御信号入力端子と、

前記信号入力端子より入力されたクロック信号と、固定論理値の信号のいずれかを、対応する第 1 のタップ選択信号の値にしたがって選択する第 1 段の選択回路と、

前記第 1 段の選択回路の後段に、複数段縦続形態に接続される単位遅延回路と

を備え、

前記単位遅延回路は、

前段の選択回路の出力を受ける遅延素子と、

前記信号入力端子より入力されたクロック信号と、前記遅延素子の出力とのいずれか一方を、対応するタップ選択信号の値に基づき選択する選択回路と、

を備えており、

前記信号入力端子から入力されたクロック信号は、選択された前記タップ選択信号に対応する単位遅延回路の前記選択回路から、次段の単位遅延回路の遅延素

子に伝達され、前記次段の単位遅延回路と前記信号出力端子との間に挿入されている単位遅延回路を介して前記信号出力端子から出力される、ことを特徴とする請求項 1 7 記載の半導体装置。

【請求項 1 9】

前記遅延時間設定回路が、入力されたクロック信号を $2n$ 分周して出力する第 1 の分周回路と、

前記第 1 の分周回路から出力される分周信号(「第 1 の分周信号」という)を受け、前記第 1 の分周信号を前記第 1 の遅延回路と同一の遅延時間分遅延させて出力する第 2 の遅延回路と、

前記第 2 の遅延回路の出力信号を入力し、予め定められた遅延時間をさらに付加して出力する第 1 の付加遅延回路と、

前記第 1 の付加遅延回路の出力信号を入力とする遅延線を構成する複数段の遅延素子と、

前記複数段の遅延素子の出力信号を、前記第 1 の分周回路から出力される前記第 1 の分周信号に基づきサンプリングして出力する複数のラッチ回路と、

前記複数のラッチ回路の出力信号を受け、前記複数のラッチ回路のサンプリング結果に基づき、前記遅延線を伝送される信号の遷移エッジを検出し、前記タップ選択信号を生成する論理回路と、

を備えている、ことを特徴とする請求項 1 7 記載の半導体装置。

【請求項 2 0】

前記遅延時間設定回路が、入力されたクロック信号を n 分周した第 2 の分周信号を出力する第 2 の分周回路と、

前記第 2 の遅延回路から出力される前記第 2 の分周信号を入力し、前記第 2 の分周信号を予め定められた遅延時間さらに遅延させて出力する第 2 の付加遅延回路と、

前記第 2 の付加遅延回路の出力信号を、前記第 2 の分周回路から出力される前記第 2 の分周信号に基づきサンプルして出力するラッチ回路と、

を有するロックモード判定回路を備え、

前記遅延線を伝送される信号の遷移エッジを検出し、前記タップ選択信号を生

成する前記論理回路と、前記ロックモード判定回路の前記ラッチ回路の出力信号とに基づき、前記タップ選択信号を生成する回路をさらに備えている、ことを特徴とする請求項 1 9 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クロック同期回路に関し、特に、BDD (Bi-Directional Delay; 双方向遅延) 回路を有するクロック同期回路は、DDR-SDRAM (ダブルデータ・レート・シンクロナスDRAM) のデータ出力をクロックに同期させる回路に用いて好適とされる回路及び該回路を有する半導体装置に関する。

【0002】

【従来の技術】

図 9 (A) は、遅延回路として、BDD (Bi-Directional Delay) 回路 (「双方向型遅延回路」ともいう) を有するクロック同期回路の構成の一例を示す図である。図 9 (B) は、図 9 (A) に示した回路の動作を示す図である。図 9 に示すように、外部クロック信号 (CLK) とその相補信号 ($\overline{\text{CLK}}$) を入力して内部クロック信号 (ICLK) を出力するクロックバッファ (CLKB) 401 と、内部クロック信号 (ICLK) を入力して遅延させて出力するレプリカ回路 (REP) 402 と、内部クロック信号 (ICLK) を入力して相選択用の第 1、第 2 の制御信号 (PHA、PHB) を出力する相選択回路 (PHR) 403 と、制御回路 (CSA) 404 及び制御回路 (CSB) 405 と、BDD 構成の遅延回路列 (BDDA) 406 及び遅延回路列 407 (BDDB) と、遅延回路列 (BDDA) 406 及び遅延回路列 407 (BDDB) の出力を入力して一つの出力に多重するマルチプレクサ 408 (MUX) と、出力回路 (出力バッファ回路) (DOB) 409 と、を備えて構成されている。この出力回路 (DOB) 409 は、シンクロナスDRAM (「SDRAM」という) における出力回路であり、マルチプレクサ 408 (MUX) からの出力されるクロックを受け、該クロックのエッジに同期して、データ (読み出しデータ) を、データ出力端子 (DQ) から出力する。レプリカ回路 (REP) 402 の遅延時間 t_{REP} は、クロックバッファ 401 の遅延時間 t_1 と、マルチプレクサ 408 及び出力回路 (DOB) 409 の遅延時間 t

2との和に等しくなるように設定されている。すなわち、

$$t_{REP}=t_1+t_2 \quad \dots(1)$$

となる。

【 0 0 0 3 】

なお、制御回路 (CSA) 4 0 4 と制御回路 (CSB) 4 0 5 の遅延 (内部クロック信号 (ICLK) の遷移エッジから、折返し制御信号 (AFWD/ABWD) までの遅延、レプリカ回路 4 0 2 の出力 (ST0) から、BDD構成の遅延回路列 4 0 6、4 0 7 の入力 AOA/AOBまでの遅延) は、遅延 t_1 及び t_2 に比べて小さく、本発明の構成及び動作には、直接関係しないので、以下の説明では、これを無視することにする。

【 0 0 0 4 】

図 9 (A) において、制御回路 (CSA) 4 0 4 と遅延回路列 (BDDA) 4 0 6 から成る A 相の動作に着目すると、外部クロック信号 (CLK) の立上りエッジ (R0) は、クロックバッファ (CLKB) 4 0 1 (遅延時間 = t_1)、レプリカ回路 (REP) 4 0 2 (遅延時間 $t_{REP}=t_1+t_2$) を経て信号 (ST0) として出力され、制御回路 (CSA) 4 0 4 から信号 (AOA) として出力され、信号 AOA は、遅延回路列 (BDDA) 4 0 6 の入力端子に入力される。A 相選択時、相選択回路 4 0 3 からの制御信号 (PHA) が活性化され、制御回路 (CSA) 4 0 4 は、レプリカ回路 (REP) 4 0 2 からの信号 (ST0) を受け取り信号 AOA として出力する。また制御回路 (CSA) 4 0 4 から出力される折返し制御信号 AFWD/ABWD は、順方向を示しており、入力端子より遅延回路列 4 0 6 に入力されたクロックのエッジは、一方向 (図の右方向) に進行し、外部クロック信号 (CLK) の立上りエッジ (R1) を受けて制御回路 (CSA) 4 0 4 で生成される折返し制御信号 (AFWD/ABWD) により、遅延回路列 4 0 6 内を、所定時間進んだ時点で、クロックのエッジの進行方向が反転し、図の左方向に進行して、遅延回路列 (BDDB) 4 0 7 の出力 (B0B) に現れる。遅延回路列 4 0 6 の入力端子からのクロックエッジの入力から折り返しまでの時間と、折返しから遅延回路列 4 0 6 の出力端子からの出力までの時間とは等しい (図 9 (B) では「 t_{BDD} 」と表示)。これは、例えば特開平 1 1 - 6 6 8 5 4 号公報に記載されているように、BDD構成の遅延回路列の基本的な特性である。遅延回路列 4 0 6 から出力されたエッジは、マルチプレクサ (MUX) 4 0 8 を経て、出力

回路 (DOB) 4 0 9 に供給され、出力回路 (DOB) 4 0 9 では、供給されたクロックのエッジに同期して、出力端子 (DQ) からデータを出力する。

【 0 0 0 5 】

ここで、外部クロック信号 (CLK) の立上りエッジ (R1) から、データ出力端子 (DQ) からのデータ出力までの遅延時間を計算すると、

$$t_1 + t_{BDD} + t_2$$

となる。

【 0 0 0 6 】

一方、外部クロック信号 (CLK) の立上りエッジ R0 から遅延回路列 4 0 6 の折返しまでの時間について、

$$t_1 + t_{REP} + t_{BDD} = t_{CK} + t_1 \quad \dots (2)$$

が成り立つ。

【 0 0 0 7 】

上式 (1) の

$$t_{REP} = t_1 + t_2$$

を考慮すると、

$$t_1 + t_{BDD} + t_2 = t_{CK} \quad \dots (3)$$

となる。

【 0 0 0 8 】

すなわち、A 相の選択時において、データ出力端子 (DQ) からのデータの出力は、外部クロック信号 (CLK) の立上りエッジ (R2) に同期して行われることになる。

【 0 0 0 9 】

制御回路 (CSB) 4 0 5 と遅延回路列 (BDDb) 4 0 7 とから成る B 相の動作についても同様であり、データ出力端子 (DQ) からのデータの出力は、外部クロック信号 (CLK) の立上りエッジ (R3) に同期して行われる。

【 0 0 1 0 】

相選択回路 (PHR) 4 0 3 から出力される制御信号 (PHA) と制御信号 (PHB) により、外部クロック信号 (CLK) のサイクル毎に、A 相と B 相を交互に切り替

えて動作させることにより、外部クロック信号 (CLK) の全ての立上りエッジに同期して、データ出力端子 (DQ) から、データを出力することができる。

【 0 0 1 1 】

ところで、近年、DDR (Double Data Rate) -SDRAMの高速化は著しく、上記したBDD回路の動作周波数 (クロック周期 t_{CK} の逆数) の上限によって、DDR-SDRAM全体の動作周波数が律則されるようになってきている。

【 0 0 1 2 】

すなわち、図 9 (A) において、遅延回路列 4 0 6、4 0 7 の遅延時間 t_{BDD} (入力から折り返しまでの時間) には、遅延回路列の特性から決まる下限 t_{BDDmin} (典型的には $0.3ns \sim 0.5ns$) が存在し、

$$t_{BDD} = t_{CK} - (t_1 + t_2) = t_{CK} - t_{REP} \quad \dots (4)$$

であるから、

$$t_{CK} > t_{BDDmin} + t_{REP} \quad \dots (5)$$

であることが必要である。

【 0 0 1 3 】

例えば、 t_{REP} を $5ns$ とし、 t_{BDDmin} を $0.5ns$ とすると、

$$t_{CK} > 5.5ns$$

となる。すなわち、DDR-SDRAMの動作周波数を、 $180MHz$ 程度より上げることはできないことになる。

【 0 0 1 4 】

従って、BDD回路構成の遅延回路列を搭載したDDR-SDRAMをさらに高速化するためには、BDD遅延回路列のクロック周期 t_{CK} の下限を、さらに引き下げることが必要である。

【 0 0 1 5 】

この要請に応えるために、例えば、特開平 1 1 - 6 6 8 5 4 号公報には、A相とB相に加え、さらにC相とD相を設け、4相とした構成が提案されている。この構成を、図 1 0 に示す。図 1 0 に示すように、相補の外部クロック信号 (CLK、 $\neg CLK$) を入力して内部クロック信号 (ICLK) を出力するクロックバッファ (CLKB) 5 0 1 と、内部クロック信号 (ICLK) を入力するレプリカ回路 (REP) 5 0

2 と、内部クロック信号 (ICLK) を入力して相選択用の制御信号 PHA、PHB、PHC、PHD を出力する相選択回路 (PHR) 5 0 3 と、制御回路 (CSA) 5 0 4、制御回路 (CSB) 5 0 5、制御回路 (CSC) 5 0 6、制御回路 (CSD) 5 0 7 と、遅延回路列 (BDDA) 5 0 8、遅延回路列 (BDDB) 5 0 9、遅延回路列 (BDDC) 5 1 0、遅延回路列 (BDDD) 5 1 1 と、遅延回路列 (BDDA) 5 0 8 ~ 遅延回路列 (BDDD) 5 1 1 の出力を切り替えるマルチプレクサ (MUX) 5 1 2 と、出力回路 (DOB) 5 1 3 と、を備えて構成されている。

【 0 0 1 6 】

図 1 1 は、図 1 0 に示した構成の動作を説明するタイミング図である。例えば A 相の動作に着目すると、外部クロック信号 (CLK) の立上りエッジ R0 は、立上りエッジ R2 から生成される折返し制御信号 AFWD/ABWD により、折返され、エッジ R4 に同期してデータが出力される。B 相、C 相、D 相についても同様であり、各相を CLK のサイクル毎に順次動作させることで全ての立上りエッジに同期してデータを出力することができる。

【 0 0 1 7 】

ここで、図 1 1 から明らかなように、

$$t_{BDD} = 2t_{CK} - t_{REP} \quad \dots (6)$$

が成り立ち、

$$t_{CK} > (t_{BDDmin} + t_{REP})/2 \quad \dots (7)$$

となるので、図 9 に示す構成と比較して、クロック周期 t_{CK} の $1/2$ (上記の数値例では 2.75ns) まで動作可能である。

【 0 0 1 8 】

【発明が解決しようとする課題】

ところで、図 1 0 に示した構成で必要とされる追加回路の規模について検討してみると、まず 4 相動作を行うために、図 9 に示した構成に加え、

2 つの制御回路 CSC と CSD、

2 つの遅延回路列 BDDC と BDDD

が必要とされている。

【 0 0 1 9 】

さらに、最大サイクル時間 t_{CKmax} を実現するために必要なBDD遅延列の最大遅延時間を t_{BDDmax} とすると、図9に示した構成例では、

$$t_{BDDmax} = t_{CKmax} - t_{REP} \quad \dots (8)$$

であるのに対し、図10に示した構成例では、

$$t_{BDDmax} = 2t_{CKmax} - t_{REP} \quad \dots (9)$$

となり、同等の最大サイクル時間 t_{CKmax} を実現するために必要なBDD構成の遅延回路列の段数が増える。

【0020】

BDD構成の遅延回路列の面積は、図9及び図10に示したクロック同期回路全体のかなりの割合を占めるので、この部分の回路規模の増大は、チップ面積に対するオーバーヘッドの増大を招く。

【0021】

さらに、同じクロック周期で動作しているときの消費電力は、おおむね回路規模に比例するので、消費電力の増大も問題となる。

【0022】

さらに、図10に示した構成では、今後、DDR-SDRAMの高速化が一段と進み、より高い周波数での動作が要請された場合には、これに対処することができない、という問題もある。

【0023】

したがって、本発明は、上記の問題点を解消し、小面積かつ低消費電力で、より高い周波数で動作するクロック同期回路及びクロック同期回路を備えた半導体装置を提供することを目的としている。

【0024】

【課題を解決するための手段】

前記目的を達成する本発明は、それぞれが、入力端子と出力端子を有し、前記入力端子より入力されたクロック信号のエッジが、一方向に進行した後、入力された前記クロック信号のサイクルの後のサイクルのクロック信号のエッジに基づき生成される折返し制御信号に基づき、進行方向を反転し、前記一方向に進行した時間と同一の時間をかけて、前記一方向と逆方向に進行して、前記出力

端子から出力される構成とされている、第 1 及び第 2 の双方向型の遅延回路列と、前記第 1 の双方向型の遅延回路列の前段及び後段とにそれぞれ配設されている、遅延時間可変型の第 1 の前段遅延回路及び第 1 の後段遅延回路と、前記第 2 の双方向型の遅延回路列の前段及び後段にそれぞれ配設されている、遅延時間可変型の第 2 の前段遅延回路及び第 2 の後段遅延回路と、前記第 1 及び第 2 の後段遅延回路の出力信号を受け取り、前記第 1 及び第 2 の後段遅延回路の出力信号を多重化した信号を出力する多重回路と、前記第 1 及び第 2 の前段遅延回路と、前記第 1 及び第 2 の後段遅延回路の遅延時間を可変に設定する制御を行う遅延時間設定回路と、を含み、前記第 1 及び前記第 2 の前段遅延回路の入力端子には、入力されたクロック信号が共通に供給され、前記第 1 の前段遅延回路、前記第 1 の双方向型遅延回路列、及び前記第 1 の後段遅延回路を含む第 1 のパスと、前記第 2 の前段遅延回路、前記第 2 の双方向型遅延回路列、及び前記第 2 の後段遅延回路を含む第 2 のパスとを、前記クロック信号の所定のサイクル毎に交互に選択する相選択制御手段と、を備えている。

【 0 0 2 5 】

本発明において、入力端子と出力端子を有し、前記入力端子よりクロック信号を受け取り、前記クロック信号を予め定められた遅延時間遅延させて前記出力端子から出力する第 1 の遅延回路を備え、前記第 1 及び前記第 2 の前段遅延回路の入力端子には、前記第 1 の遅延回路の出力端子から出力されるクロック信号が共通に入力される構成とされる。

【 0 0 2 6 】

本発明において、前記第 1 の遅延回路の前段に、前記クロック同期回路に入力されるクロック信号を入力端子より入力とする第 1 のバッファ回路をさらに備え、前記第 1 のバッファ回路の出力端子が、前記第 1 の遅延回路の入力端子に接続されており、前記多重回路の出力信号に基づき、データ出力端子からデータを出力する出力回路を備え、前記第 1 の遅延回路の遅延時間は、前記第 1 のバッファ回路の遅延時間と、前記多重回路の遅延時間と前記出力回路の遅延時間との和に等しい。

【 0 0 2 7 】

本発明において、前記遅延時間設定回路は、前記クロック信号の周期と、前記第 1 の遅延回路の遅延時間とに応じて、前記第 1 及び第 2 の前段遅延回路と前記第 1 及び第 2 の後段遅延回路の遅延時間を設定する手段を備えている。本発明において、前記第 1 及び第 2 の双方向型遅延回路列のそれぞれの入力から折り返しまでの最小の遅延時間を t_{BDDmin} とし、前記クロック信号の 1 周期を t_{CK} とし、

前記第 1 の遅延回路の遅延時間を t_{REP} とし、前記第 1 及び第 2 の前段遅延回路と前記第 1 及び第 2 の後段遅延回路の遅延時間を同一の遅延時間 t_{PPD} とし、 n を 2 以上の整数とし、前記遅延時間設定回路は、 t_{PPD} が関係式

$$t_{BDDmin} < n \times t_{CK} - (t_{PPD} + t_{REP}) < t_{CK}$$

を満たすように、前記第 1 及び第 2 の前段遅延回路と前記第 1 及び第 2 の後段遅延回路の遅延時間を設定する構成とされる。

【 0 0 2 8 】

本発明において、前記第 1 及び第 2 の前段遅延回路と前記第 1 及び第 2 の後段遅延回路は、信号入力端子と、信号出力端子と、前記遅延時間設定回路から供給される複数のタップ選択信号を入力する複数の制御信号入力端子と、前記信号入力端子より入力されたクロック信号と、固定論理値の信号のいずれかを、対応する第 1 のタップ選択信号の値にしたがって選択する第 1 段の選択回路と、前記第 1 段の選択回路の後段に、複数段縦続形態に接続される単位遅延回路と、を備え、前記単位遅延回路は、前段の選択回路の出力を受ける遅延素子と、前記信号入力端子より入力されたクロック信号と、前記遅延素子の出力とのいずれか一方を、対応するタップ選択信号の値に基づき選択する選択回路と、を備えており、前記信号入力端子から入力されたクロック信号は、選択された前記タップ選択信号に対応する単位遅延回路の前記選択回路から、次段の単位遅延回路の遅延素子に伝達され、前記次段の単位遅延回路と前記信号出力端子との間に挿入されている単位遅延回路を介して前記信号出力端子から出力される、構成とされている。

【 0 0 2 9 】

本発明において、前記遅延時間設定回路が、前記クロック信号を入力し、前記クロック信号を $2n$ 分周して出力する第 1 の分周回路と、前記第 1 の分周回路から出力される分周信号(「第 1 の分周信号」という)を受け、前記第 1 の分周信

号を前記第 1 の遅延回路の遅延時間分遅延させて出力する第 2 の遅延回路と、前記第 2 の遅延回路の出力信号を入力し、予め定められた遅延時間をさらに付加して出力する第 1 の付加遅延回路と、前記第 1 の付加遅延回路の出力信号を入力とする遅延線を構成する複数段の遅延素子と、前記複数段の遅延素子の出力信号を、前記第 1 の分周回路から出力される前記第 1 の分周信号に基づきサンプリングして出力する複数のラッチ回路と、前記複数のラッチ回路の出力信号を受け、前記複数のラッチ回路のサンプリング結果に基づき、前記遅延線を伝送される信号の遷移エッジを検出し、前記タップ選択信号を生成する論理回路と、を備えて構成してもよい。

【 0 0 3 0 】

【発明の実施の形態】

本発明の実施の形態について説明する。本発明は、BDD (Bi-directional Delay) 構成の遅延回路列の前後に、プリディレイ回路及びポストディレイ回路を設け、その遅延時間 t_{PPD} を、

$$t_{BDDmin} < n \cdot t_{CK} - (t_{PPD} + t_{REP}) < t_{CK} \quad \dots (10)$$

を満たすように設定する。

【 0 0 3 1 】

n はロックモードであり、2 以上の整数、

t_{CK} はクロック CLK の周期、

t_{REP} はレプリカ回路の遅延時間、

t_{BDDmin} は、BDD の遅延回路列が正常に動作する最小の遅延時間（遅延回路列の入力から折返しまで）

である。

【 0 0 3 2 】

図 1 を参照すると、本発明の一実施の形態をなすクロック同期回路は、クロックバッファ (CLKB) 1 0 1 と、レプリカ回路 (REP) 1 0 2 と、相選択回路 (PHR) 1 0 3 と、制御回路 (CSA) 1 0 4 及び制御回路 (CSB) 1 0 5 と、遅延回路列 (BDDA) 1 0 6 及び遅延回路列 (BDDB) 1 0 7 と、マルチプレクサ (MUX) 1 0 8 と、出力回路 (DOB) 1 0 9 という構成（図 9 参照）に、さらに、プリディレイ

イ回路 (PREA) 1 1 0 及びプリディレイ回路 (PREB) 1 1 1 と、ポストディレイ回路 (POSTA) 1 1 2 及びポストディレイ回路 (POSTB) 1 1 3 と、遅延時間設定回路 (PPDC) 1 1 4 とを備えている。

【 0 0 3 3 】

遅延時間設定回路 (PPDC) 1 1 4 は、プリディレイ回路 1 1 0、1 1 1 及びポストディレイ回路 1 1 2、1 1 3 の遅延時間 t_{PPD} が、上式 (10) を満たすように、タップ選択信号 $TS_0 \sim TS_m$ を切り替える。

【 0 0 3 4 】

かかる構成により、例えばロックモード n を 2 に設定した場合のタイミングは、図 5 に示すように、クロックアクセスパス、すなわちクロック信号の入力からクロックバッファ (CLKB) 1 0 1、制御回路 (CSA) 1 0 4、遅延回路列 (BDDA) 1 0 6 (折返し)、ポストディレイ回路 (POSTA) 1 1 2、マルチプレクサ (MUX) 1 0 8 を経て、出力回路 (DOB) 1 0 9 のデータ出力端子 (DQ) までの遅延時間は、ちょうど外部クロック信号 (CLK) のクロック周期 t_{CK} の 2 倍に等しくなり、クロックエッジに同期して、データ出力端子 (DQ) よりデータが出力される。

【 0 0 3 5 】

図 5 において、遅延回路列 (BDDA) 1 0 6 の遅延時間 t_{BDD} は、

$$2t_{CK} - (t_{PPD} + t_{REP}) \quad \dots(11)$$

に等しい。

【 0 0 3 6 】

これは上記の条件 (10) により (t_{PPD} は、 $t_{BDDmin} < 2 t_{CK} - (t_{PPD} + t_{REP})$ を満たすように設定される)、遅延時間 t_{BDD} は、最小遅延時間 t_{BDDmin} よりも大であることが保証される。

【 0 0 3 7 】

また、遅延回路列 (BDDA) 1 0 6 と遅延回路列 (Bddb) 1 0 7 は、それぞれ 2 サイクルに 1 回動作し、上記の条件から、

$$t_{BDD} < t_{CK} \quad \dots(12)$$

であることから、連続する 2 回の動作期間がオーバーラップ (すなわち遅延列

上で信号が衝突)しないことが保証される。

【 0 0 3 8 】

従って、かかる構成の本発明によれば、遅延回路列の本数(相数)を、2本しか必要とせず、ロックモードnの動作を行うことができる。

【 0 0 3 9 】

さらに、本発明によれば、小面積かつ低消費電力であり、かつ最小動作周期 $t_{C_{min}}$ の短いクロック同期回路を実現できる。

【 0 0 4 0 】

【実施例】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して説明する。図1は、本発明の第1の実施例をなすクロック同期回路の構成を示す図である。図1を参照すると、本実施例のクロック同期回路は、クロック同期回路外部より差動モードで供給される相補のクロック(CLK、/CLK)を入力し内部クロック信号(ICLK)を出力するクロックバッファ(CLKB)101と、内部クロック信号(ICLK)を入力とするレプリカ回路(REP)102と、内部クロック信号(ICLK)を入力し相選択を制御する制御信号(PHA)と制御信号(PHB)を出力する相選択回路(PHR)103と、制御回路(CSA)104及び制御回路(CSB)105、BDD構成の遅延回路列(BDDA)106及び遅延回路列(Bddb)107と、マルチプレクサ(MUX)108と、出力回路(出力バッファ回路)(DOB)109の構成に、さらに、プリディレイ回路(PREA)110及びプリディレイ回路(PREB)111、ポストディレイ回路(POSTA)112及びポストディレイ回路(POSTB)113、遅延時間設定回路(「タップ選択回路」ともいう)(PPDC)114と、を備えている。

【 0 0 4 1 】

この実施例において、クロックバッファ(CLKB)101、レプリカ回路(REP)102、相選択回路(PHR)103、制御回路(CSA)104及び制御回路(CSB)105、遅延回路列(BDDA)106及び遅延回路列(Bddb)107、マルチプレクサ(MUX)108、出力回路(出力バッファ回路)(DOB)109のそれぞれは、図9(A)のクロックバッファ(CLKB)401、レプリカ回路(REP)4

02、相選択回路（PHR）403、制御回路（CSA）404及び制御回路（CSB）405、遅延回路列（BDDA）406及び遅延回路列（BDDB）407、マルチプレクサ（MUX）408、出力回路（出力バッファ回路）（DOB）409と同一の構成とされている。

【0042】

相選択回路（PHR）103は、クロックバッファ101からの内部クロック信号（ICLK）を受け、内部クロック信号（ICLK）のサイクル毎に、活性化／非活性化が交互に切り替え制御される第1、第2の相選択用の制御信号（PHA、PHB）を出力する。制御回路（CSA）104は、クロックバッファ101からの内部クロック信号（ICLK）と、プリディレイ回路（PREA）110の出力信号（ST1A）と、第1の制御信号（PHA）とを入力し、第1の制御信号（PHA）が活性化されているとき、遅延回路列（BDDA）106の入力端子に、プリディレイ回路（PREA）110の出力信号（ST1A）を供給するとともに、クロックバッファ101からの内部クロック信号（ICLK）に基づき折返し制御信号（AFWD/ABWD）を出力する。制御回路（CSB）105は、クロックバッファ101からの内部クロック信号（ICLK）と、プリディレイ回路（PREB）111の出力信号（ST1B）と、第2の制御信号（PHB）とを入力し、第2の制御信号（PHB）が活性化されているとき、遅延回路列（BDDB）107の入力端子に、プリディレイ回路（PREB）111の出力信号（ST1B）を供給するとともに、クロックバッファ101からの内部クロック信号（ICLK）に基づき折返し制御信号（BFWD/BBWD）を出力する。なお、クロックバッファ（CLKB）101に入力されるクロック信号は差動モードに限定されるものでなく、シングルエンド構成であってもよい。

【0043】

プリディレイ回路（PREA）110及びプリディレイ回路（PREB）111、ポストディレイ回路（POSTA）112及びポストディレイ回路（POSTB）113は、タップ切替式の変遅延回路であり、タップ選択信号TS0～TSmを切り替えることにより、段階的に遅延時間を変えることができる。

【0044】

タップ選択回路（PPDC）114は、プリディレイ回路（PREA）110（プリデ

イレイ回路 (PREB) 1 1 1)、ポストディレイ回路 (POSTA) 1 1 2 (ポストディレイ回路 (POSTB) 1 1 3) の遅延時間 t_{PPD} を可変に設定するための遅延時間設定回路であり、外部クロック (CLK) の周期 t_{CK} 、及びレプリカ回路 (REP) 1 0 2 の遅延時間 t_{REP} に応じて、

$$t_{BDDmin} < n \cdot t_{CK} - (t_{PPD} + t_{REP}) < t_{CK} \quad \dots (13)$$

を満たすように、タップ選択信号 $TS_0 \sim TS_m$ を切り替える。

【 0 0 4 5 】

ここで、 n は、ロックモードを示す 2 以上の整数であり、 t_{BDDmin} は、BDD 構成の遅延回路列 (BDDA) 1 0 6 及び遅延回路列 (BDDb) 1 0 7 が正常に動作する最小の遅延時間 (入力から折返しまでの最小遅延時間) である。

【 0 0 4 6 】

図 2 は、図 1 のプリディレイ回路 (PREA、PREB) 1 1 0、1 1 1、ポストディレイ回路 (POSTA、POSTB) 1 1 2、1 1 3 の構成の一例を示す図である。遅延要素 $200_1 \sim 200_m$ が 2 個のトランスファゲートとインバータからなるデータ選択回路を介して直列に接続され、可変遅延線を構成している。この遅延回路は、入力端子 (IN) と出力端子 (OUT) と、複数のタップ選択信号を入力する複数の制御信号入力端子 ($TS_0 \sim TS_m$) と、入力端子 (IN) より入力されたクロック信号と、固定論理値 (VDD 電源電位) の信号のいずれかを、対応する第 1 のタップ選択信号 TS_m の値にしたがって選択する第 1 段のデータ選択回路 (NMOS トランジスタ 201_m と PMOS トランジスタ 202_m とからなる第 1 のトランスファゲート、NMOS トランジスタ 203_m と PMOS トランジスタ 204_m とからなる第 2 のトランスファゲート、インバータ 205_m) と、第 1 段のデータ選択回路の後段に、複数段縦続形態に接続される単位遅延回路と、を備え、この単位遅延回路は、前段のデータ選択回路の出力を受ける遅延素子 200_k ($k = 0 \sim m - 1$) と、入力端子 (IN) より入力されたクロック信号と前記遅延素子 200_k の出力とのいずれか一方を、対応するタップ選択信号 TS_k の値に基づき選択するデータ選択回路 (NMOS トランジスタ 201_k と PMOS トランジスタ 202_k とからなる第 1 のトランスファゲート、NMOS トランジスタ 203_k と PMOS トランジスタ 204_k とからなる第 2 のトランスファゲート、インバータ 2

05_k)を備えており、タップ選択信号(TS0~TS_m)のいずれかをHIGHレベルとすることで、対応するタップで選択されるデータ選択回路の位置に応じた遅延時間に可変に設定される。

【0047】

例えばタップ選択信号TS1が選択(HIGHレベル)であり、他の全てのタップ選択信号が非選択(LOWレベル)であるとする、信号は入力端子(IN)から、タップ選択信号TS1に対応するデータ選択回路のトランスファゲート(NMOSトランジスタ203₁とPMOSトランジスタ204₁からなる)と、遅延要素200₁と、データ選択回路をなすトランスファゲート(NMOSトランジスタ201₀とPMOSトランジスタ202₀)を経て、出力端子(OUT)に現れる。

【0048】

従って、タップ選択信号TS_k(0 ≤ k ≤ m)を切り替えることにより、入力端子(IN)から出力端子(OUT)までの遅延時間tPPDを、遅延要素200_k(k = 1 ~ m)一個とトランスファゲート一段分の遅延時間(以下、「tDE」という)を単位として、段階的に調整することができる。

【0049】

図3には、ロックモードnを2に設定した場合の図1の遅延時間設定回路(PPD C)114の構成が示されている。図3を参照すると、このクロックバッファ301と、4分周回路(DIV4)302と、ディレイレプリカ303と、付加遅延回路304と、を備え、付加遅延回路304の出力は、遅延要素305₁に入力され、遅延要素305₁の出力を入力とするトランスファゲート306₁の出力D1は、リセット機能付きのフリップフロップ308₀のデータ入力端子に入力され、4分周回路(DIV4)302の出力を入力とするインバータ307の出力は、フリップフロップ308₀~308_{m-1}のクロック入力端子(">"で示す)に入力される。フリップフロップ308₀のデータ出力端子はインバータ309の入力端子に入力され、インバータ309の出力端子よりタップ選択信号TS0が出力される。トランスファゲート306₁の出力D1は、遅延要素305₂とトランスファゲート306₂を介して、リセット機能付きのフリップフロップ308₁のデータ入力端子に入力され、フリップフロップ308₁のデータ出力端子とフリ

フリップフロップ 3 0 8₀ のデータ出力端子は排他的論理和回路 (EXOR) 3 1 0₁ の 2 つの入力端子にそれぞれ入力され、排他的論理和回路 3 1 0₁ の出力端子よりタップ選択信号 TS1 が出力される。同様にして、トランスファゲート 3 0 6_{m-1} の出力 D_m は遅延要素 3 0 5_m に入力されるとともに、フリップフロップ 3 0 8_{m-1} のデータ入力端子に入力され、フリップフロップ 3 0 8_{m-1} のデータ出力端子とフリップフロップ 3 0 8_{m-2} のデータ出力端子は排他的論理和回路 3 1 0_{m-1} の 2 つの入力端子にそれぞれ入力され、排他的論理和回路 3 1 0_{m-1} の出力端子よりタップ選択信号 TS_{m-1} が出力され、フリップフロップ 3 0 8_{m-1} のデータ出力端子からタップ選択信号 TS_m が出力される。

【 0 0 5 0 】

4 分周回路 (DIV4) 3 0 2 は、クロックバッファ 3 0 1 の出力を 4 分周し、上式 (1 3) に含まれる、2tCK (n = 2) の時間を発生する。

【 0 0 5 1 】

レプリカ回路 (REP) 3 0 3 は、図 1 のレプリカ回路 (REP) 1 0 2 と同じである。

【 0 0 5 2 】

付加遅延回路 (ADD) 3 0 4 は、固定の遅延回路であり、詳細は後述する。その遅延時間 t_{ADD} を、一定の範囲内に設定することにより、常に、上式 (1 3) が満たされるように、タップ選択信号 TS₀ ~ TS_m が制御され、プリディレイ回路 (PREA、PREB) 1 1 0、1 1 1、ポストディレイ回路 (POSTA、POSTB) 1 1 2、1 1 3 のタップが選択される。

【 0 0 5 3 】

遅延要素 3 0 5₁ ~ 3 0 5_m は、トランスファゲート 3 0 6₁ ~ 3 0 6_{m-1} を介して直列に接続されて遅延線を構成しており、各遅延要素及びトランスファゲートの遅延時間は、それぞれ、図 2 に示す、プリディレイ回路 PREA (B) 及びポストディレイ回路に含まれる遅延要素 2 0 1 及びトランスファゲートの遅延時間に一致している。

【 0 0 5 4 】

フリップフロップ 3 0 8₀ ~ 3 0 8_{m-2} と、排他的論理和回路 3 1 0₁ ~ 3

10_{m-1} は、レプリカディレイ REP と、付加遅延回路 (ADD) 304 を介して、上記遅延線を伝搬する 4 分周クロック (ICLKDIV4) の立上リエッジの位置を検出する。

【0055】

4 分周回路 (DIV4) 302 から出力される 4 分周クロック (ICLKDIV4) をインバータ 307 で反転した信号をクロック端子に入力するフリップフロップ 308₀ ~ 308_{m-1} は、4 分周クロック (ICLKDIV4) の立下りにおいて、ノード (節点) D1 ~ D_m のレベルをサンプリングし、相隣る 2 つのフリップフロップのサンプル出力を入力する排他的論理和回路 310₁ ~ 310_{m-1} は、隣り合う 2 ノード D_k と D_{k+1} のレベルを比較することで、立上リエッジの位置 (D_k = HIGH かつ D_{k+1} = LOW となる k) を検出し、対応するタップ選択信号 TSk を選択 (HIGH レベル) する。

【0056】

本実施例のクロック同期回路の動作について以下に説明する。まず、図 4 は、遅延時間設定回路 (「タップ選択回路」ともいう) (PPDC) 114 の動作について説明するタイミング図である。図 3 及び図 4 を参照して、遅延時間設定回路 114 の動作について説明する。

【0057】

4 分周クロック (ICLKDIV4) は、4 分周回路 (DIV4) 302 の出力であり、その立上リエッジ (上向き矢印で示す) に注目すると、まずレプリカ回路 (REP) 303 によって、t_{REP} だけ遅延し (ICLKDIV4D)、次に付加遅延回路 (ADD) 304 により t_{ADD} だけ遅延し (D0)、さらに遅延線中を、一段毎に、遅延要素 305 とトランスファゲート 306 の遅延時間 t_{DE} ずつ遅延しながら進行する (D1、D2、D3、...)。

【0058】

4 分周クロック (ICLKDIV4) の立下リエッジ (下向き矢印で示す) において、ノード D1、D2、D3、... のレベルを、フリップフロップ 308₀、308₁、308₂、... によってサンプリングすると、図 4 に示した例では、フリップフロップ 308₀ の出力は HIGH レベルとなり、フリップフロップ 308₁、308₂、

3 0 8₃、…の出力はLOWレベルとなる。

【0 0 5 9】

次に、隣り合うフリップフロップ3 0 8の出力の排他的論理和を取ると、タップ選択信号TS1のみがHIGHレベル（選択）となり、他の全てタップ選択信号はLOWレベル（非選択）となる。

【0 0 6 0】

このようにして、遅延線の中を進行するエッジの位置（エッジが通過した遅延段数）を検出することができる。

【0 0 6 1】

図4に示したタイミング関係から、一般に次の式が成り立つことがわかる。

【0 0 6 2】

$$t_{REP} + t_{ADD} + k \cdot t_{DE} + \Delta t = n \cdot t_{CK} \quad \dots (14)$$

【0 0 6 3】

ここで、 k は検出されたエッジの位置（ $0 \leq k \leq m$ であり、図4の例では、 $k=1$ ）を示す。

【0 0 6 4】

Δt は、遅延線の遅延が段階的であることによる検出誤差である。図4より、明らかに、 $0 \leq \Delta t \leq t_{DE}$ である。

【0 0 6 5】

プリディレイ回路1 1 0、1 1 1と、ポストディレイ回路1 1 2、1 1 3の遅延要素は、遅延時間設定回路（PPDC）1 1 4（「タップ選択回路」ともいう）の遅延線を構成する遅延要素とマッチしており、一段当りの遅延時間は、上記 t_{DE} に等しい。

【0 0 6 6】

従って、タップ選択信号TS k が選択されている場合、上式（1）に含まれるプリディレイ及びポストディレイの遅延時間 t_{PPD} は、

$$k \times t_{DE} \quad \dots (15)$$

となる。

【0 0 6 7】

上式(14)を $k \times t_{DE}$ について解いて、上式(13)の t_{PPD} に代入すると、次式(16)の関係が得られる。

【0068】

$$t_{BDDmin} < t_{ADD} + \Delta t < t_{CK} \quad \dots (16)$$

【0069】

ここで、 $0 \leq \Delta t \leq t_{DE}$ を考慮すると、上式(16)を満たすためには、次式(17)が成り立てば十分である。

【0070】

$$t_{BDDmin} < t_{ADD} < t_{CK} - t_{DE} \quad \dots (17)$$

【0071】

すなわち、上式(17)の条件を満たすように、付加遅延回路304の遅延時間 t_{ADD} を設定すれば、常に、上式(13)を満たすタップが選択されることになる。

【0072】

次に、図5は、本実施例のクロック同期式のデータ出力回路(半導体記憶装置のデータ出力回路)の全体の動作を説明するためのタイミング図である。図5を参照して、本実施例のクロック同期式のデータ出力回路の全体の動作について説明する。以下では、簡単のため、ロックモード n が2の場合について説明する。また、タップ選択信号 $TS_0 \sim TS_m$ については、上式(13)を満たす適切なタップが、上記説明に従ってすでに選択されているものとする。

【0073】

図5において、A相の動作に着目すると、外部クロック信号(CLK)の立上りエッジ(R0)は、図1のクロックバッファ(CLKB)101、レプリカ(REP)102、プリディレイ(PREA)110を経て、遅延回路列(BDDA)106に入力される。

【0074】

遅延回路列(BDDA)106を、右方向に進行するクロックのエッジは、外部クロック信号(CLK)の立上りエッジ(R2)から生成される折返し制御信号AFWD/ABWDにより、進行方向が反転し、左方向に進行して遅延回路列(BDDA)106の出力

(B0A)に現れる。

【 0 0 7 5 】

遅延回路列 1 0 6, 1 0 7 の入力から折り返しまでの時間と、折返しから出力までの時間とが等しい (図 5 では「tBDD」と表示) ことは、BDD構成の遅延回路列の基本的な特性であり、図 9 等 に示した従来のBDD回路の動作と同じである。

【 0 0 7 6 】

遅延回路列 (BDDA) 1 0 6 から出力されたエッジは、ポストディレイ回路 (POSTA) 1 1 2、マルチプレクサ (MUX) 1 0 8 を経て出力バッファ (DOB) 1 0 9 に至り、データ出力端子 (DQ) からデータが出力される。

【 0 0 7 7 】

ここで、外部クロック信号 (CLK) の立上りエッジ (R2) から、データ出力端子 (DQ) からデータ出力までの遅延時間を計算すると、

$$t1 + tBDD + tPPD + t2 \quad \dots (18)$$

となる。

【 0 0 7 8 】

一方、クロックエッジ (R0) から遅延回路列 (BDDA) 1 0 6 の折返しまでの時間について、等式

$$t1 + (t1 + t2) + tPPD + tBDD = 2 tCK + t1 \quad \dots (19)$$

が成り立つ。

【 0 0 7 9 】

これから、

$$t1 + tBDD + tPPD + t2 = 2 tCK \quad \dots (20)$$

となるので、データ出力端子 (DQ) からのデータ出力は、外部クロック信号 (CLK) の立上りエッジ (R4) のタイミングに同期して行われることになる。

【 0 0 8 0 】

上記の動作が正常に行われるためには、図 5 に示した、BDD構成の遅延回路列の遅延tBDDは、一定の範囲内にある必要がある。その下限は、BDD構成の遅延回路列の回路特性から決まる最小遅延時tBDDmin.(通常0.3ns~0.5ns程度)である。

【 0 0 8 1 】

上限は t_{CK} 、またはBDD遅延列の段数から決まる最大遅延時間 t_{BDDmax} のいずれか小さい方である。

【0082】

上限が t_{CK} によって律則されるのは、図5から明らかなように、もし、

$$t_{BDD} > t_{CK} \quad \dots (21)$$

であると、隣合う2回（例えばエッジR2とR4）の遅延回路列の動作がオーバーラップしてしまう。すなわち、BDD構成の遅延回路列において、折返して来たエッジが、遅延回路列から出力される以前に、次のエッジが、遅延回路列の入力に到達してしまうためである。

【0083】

上記の式より、

$$t_{BDD} = 2t_{CK} - (t_{PPD} + t_1 + t_2) \quad \dots (22)$$

であり、レプリカ102の遅延 t_{REP} が $t_{REP}=t_1 + t_2$ に等しいことを考慮すると、上に述べた t_{BDD} の上限及び下限に関する条件は、上式(13)の条件によって満足される（ただし、 $t_{CK} < t_{BDDmax}$ の場合）。

【0084】

以上A相の動作について説明したが、B相の動作も全く同じであり、両者をサイクル毎に交互に起動することにより、全体としてクロックの全ての立上りエッジに同期して、データを出力するクロック同期回路が実現できる。

【0085】

以上説明したように、本実施例によれば、ロックモード n （ n は2以上の整数）で動作するクロック同期回路を実現できるので、従来のBDD構成の遅延回路列を備えたクロック同期回路に比較して、動作可能なクロック周期の下限 t_{CKmin} を引き下げることができる。

【0086】

すなわち、上式(13)を参照すると、クロック周期の下限 t_{CKmin} は、条件

$$t_{BDDmin} < n t_{CK} - (t_{PPD} + t_{REP}) \quad \dots (23)$$

から決まる。

【 0 0 8 7 】

ここで、プリディレイ 1 1 0、1 1 1 とポストディレイ 1 1 2、1 1 3 の遅延時間 t_{PPD} は、タップ選択信号 TS_0 を選択する (HIGH レベルとする) ことにより、プリディレイ 1 1 0、1 1 1 とポストディレイ 1 1 2、1 1 3 のトランスファゲート 1 段分の遅延時間にまで減らすことが出来る (図 2 参照)。そこで、これを無視して、上の式 (2 3) を、クロック周期 t_{CK} に対する条件の形に書き替えると次の式 (2 4) を得る。

$$t_{CK} > (t_{BDDmin} + t_{REP}) / n \quad \dots (24)$$

【 0 0 8 8 】

上式 (2 4) から、ロックモード n を増やすことで、クロック周期の下限 t_{CKmin} がロックモード n に反比例して下がることがわかる (従来の BDD 構成の遅延回路列は $n = 1$ に相当する)。

【 0 0 8 9 】

さらに、本実施例によれば、図 1 0 に示す 4 相駆動方式の BDD 構成の遅延回路列 (ロックモード $n = 2$ に相当) と比較して、回路の面積及び消費電力を低減できるという利点がある。その一つの理由は、本実施例においては、BDD 構成の遅延回路列の相数が、図 1 0 の構成の半分の 2 本で済むことである。他の理由は、同じ t_{CKmax} を実現するために必要な 1 相当りの回路規模が小さいことである。

【 0 0 9 0 】

後者の理由について詳しく説明すると、図 1 0 に示す 4 相駆動方式の BDD 構成の遅延回路列では、レプリカ 5 0 2 の出力からマルチプレクサ 5 1 2 にいたる遅延の全てを BDD 遅延列が受け持っているのに対し、図 1 に示す本発明の実施例ではその相当部分を、プリディレイ 1 1 0、1 1 1 と、ポストディレイ 1 1 2、1 1 3 が受け持っている。ここで、同じ遅延時間を実現するのに必要な面積は、BDD 構成の遅延回路列よりも、図 2 に示したプリディレイ 1 1 0、1 1 1、ポストディレイ 1 1 2、1 1 3 の方が小さく出来る。これは、プリディレイ 1 1 0、1 1 1、ポストディレイ 1 1 2、1 1 3 の方が遅延要素一段当りの回路構成が簡単であり、かつ一段当りの遅延時間 t_{DE} を比較的大きく設定して段数を減らすことができるので、遅延線全体の回路規模を BDD に比べて小さくできるからである。

【 0 0 9 1 】

一段当りの遅延時間 t_{DE} を、どの程度まで大きく設定できるかは、達成すべき t_{CKmin} .と、BDD遅延列の最小遅延時間 t_{BDDmin} （典型的には $0.3ns \sim 0.5ns$ ）と、から決まる。

【 0 0 9 2 】

例えば、

$$t_{CKmin} = 3ns,$$

$$t_{BDDmin} = 0.5ns,$$

$$t_{ADD} = 1ns$$

とすると、 t_{BDDmin} と t_{ADD} がプロセス条件、電源電圧、温度によって最大 $\pm 50\%$ 程度変動することを見込んでも、 $t_{DE} < 1ns$ であれば、式（17）の条件は満たされる。すなわち、典型的なBDD遅延列一段当りの遅延時間（ $0.5ns$ 程度）より t_{DE} を大きく設定できることがわかる。

【 0 0 9 3 】

次に、本発明の他の実施例について説明する。本発明の第2の実施例の基本的構成は、図1を参照して説明した前記実施例と同様であるが、クロック周期 t_{CK} が大きい領域でのジッタ特性の改善及び消費電流の低減のために、図1の遅延時間設定回路（「タップ選択回路」ともいう）（PPDC）114の構成にさらに工夫が施されている。

【 0 0 9 4 】

図6は、本発明の第2の実施例におけるタップ選択回路（PPDC）114の構成を示す図である。図6において、ロックモード判定回路（LMD）320と、NANDゲート601及びインバータ602からなるタップ選択信号（TS0～TS_m）リセット回路（TSR）313とが、図3に示し構成に対して追加されている。

【 0 0 9 5 】

ロックモード判定回路（LMD）320は、バッファ回路301の出力を入力する2分周回路（DIV2）321と、第2の付加遅延回路（ADD2）322と、フリップフロップ323とからなり、外部クロック信号（CLK）の周波数に応じてロックモード n を $n = 1$ または $n = 2$ に切り替える動作を行う。なお、図6において、

図 3 に示したタップ選択回路 (PPDC) 1 1 4 と同一の構成要素には、同一の参照符号が付されており、上記ロックモード判定回路 (LMD) 3 2 0 と、タップ選択信号 (TS0～TSm) リセット回路 (TSR) 3 1 3 以外の構成及び動作は、図 3 に示した実施例の場合と同じである。

【 0 0 9 6 】

図 7 は、図 6 に示したタップ選択回路 (PPDC) 1 1 4 の動作を説明するための図である。図 7 には、外部クロック信号 (CLK) の周期 t_{CK} が比較的短く、ロックモード $n = 2$ が選択される場合のタイミング図が示されている。レプリカ (REP) 3 0 3 の出力信号 (ICLKDIV4D) を、第 2 の付加遅延回路 (ADD2) 3 2 2 によって、 t_{ADD2} だけ遅延させた信号 (ICLKDIV4AD) がフリップフロップ 3 2 3 のデータ入力端子に入力される。フリップフロップ 3 2 3 において、信号 (ICLKDIV4AD) を、2 分周回路 (DIV2) 3 2 1 の出力 (ICLKDIV2) の立ち下りエッジでサンプリングすると、

$$t_{CK} < t_{REP} + t_{ADD2} \quad \dots (25)$$

であるため、出力 (LM2) は HIGH レベルとなる。

【 0 0 9 7 】

これにより、タップ選択信号 TS0～TSm は、図 3 に示した前記実施例における TS0～TSm と全く同じ状態となり、ロックモード $n = 2$ の動作を行う。

【 0 0 9 8 】

一方、図 8 は、図 6 のタップ選択回路において、外部クロック信号 (CLK) の周期 t_{CK} が比較的長く、ロックモード $n = 1$ が選択される場合の動作を示すタイミング図である。

【 0 0 9 9 】

図 8 に示すように、

$$t_{CK} > t_{REP} + t_{ADD2} \quad \dots (26)$$

であるため、フリップフロップ 3 2 3 において、2 分周回路 (DIV2) 3 2 1 の出力 (ICLKDIV2) の立ち下りエッジで、第 2 の付加遅延回路 (ADD2) 3 2 2 の出力 (ICLKDIV4AD) をサンプリングすると、フリップフロップ 3 2 3 の出力 (LM2) は LOW レベルとなる。

【 0 1 0 0 】

これにより、タップ選択信号TS0～TS_mは、フリップフロップ308₀～308_{m-1}の出力にはよらず、TS0選択状態（タップ選択信号TS0のみHIGHレベルで、他はすべてLOWレベル）に固定される。

【 0 1 0 1 】

その結果、図2に示す、プリディレイ110、111及びポストディレイ112、113の遅延段数は、0段（図2のトランスファゲート1段分の遅延のみ）となり、図9に示した従来の回路と同様に、ロックモードが $n = 1$ の動作を行う。

【 0 1 0 2 】

なお、上記説明からも明らかなように、ロックモード $n = 1$ と、ロックモード $n = 2$ の切り替わりのクロック周期 t_{CK} は、

$$t_{REP} + t_{ADD2} \quad \dots (27)$$

であり、ロックモードが $n = 1$ の動作限界である、

$$t_{CK} = t_{REP} \quad \dots (28)$$

に対し、第2の追加遅延時間 t_{ADD2} だけ、マージンを持たせている。

【 0 1 0 3 】

これは、ロックモード判定後の電源電圧及び温度の変動によって、 t_{REP} が変動しても、

$$t_{CK} < t_{REP} \quad \dots (29)$$

とならないようにするためである。

【 0 1 0 4 】

以上説明したように、本実施例によれば、ロックモード $n = 1$ で動作可能なクロック周期（ t_{CK} ）の領域では、自動的に、ロックモード $n = 1$ 動作に切り替わる。したがって、クロック周期の全領域において、ロックモード $n = 2$ で動作する、図3に示した前記実施例の構成に比べて、ジッタと消費電力を低減できる、という利点がある。

【 0 1 0 5 】

すなわち、ジッタの原因の一つは、電源電圧の変動により、遅延線の遅延時間

がサイクル毎に変動することである。電源電圧の変動幅が同じ場合、遅延時間の変動量、すなわちジッタ量は、遅延線全体にわたる遅延時間に比例して、増大する。

【0106】

ここで、クロックバッファ101から、レプリカ102、BDD構成の遅延回路列106、107、マルチプレクサ108を経てデータ出力端子(DQ)からのデータ出力にいたるパスの遅延時間は、

ロックモード $n = 1$ の場合に、 $2t_{CK}$

であるのに対し、

ロックモード $n = 2$ の場合は、 $4t_{CK}$

である。

【0107】

従って、同じクロック周期 t_{CK} で比較した場合（ただし、ロックモード $n = 1$ で動作が可能な t_{CK} で）、 $n = 1$ の方がジッタが少ないことになる。

【0108】

また、消費電力についても、同じクロック周期 t_{CK} で比較すると、遅延線全体の段数にほぼ比例して増大するので、 $n = 1$ の方が有利である。

【0109】

上記の通り、本発明は、DDR-SDRAM等に適用して好適とされるが、これ以外に、外部クロックに同期した信号を生成出力する任意のクロック同期回路に適用できることは勿論である。以上本発明を上記各実施例に即して説明したが、本発明は、上記実施例の構成にのみ限定されるものでなく、特許請求の範囲の各請求項の発明の範囲内で、当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【0110】

【発明の効果】

以上説明したように、本発明によれば、ロックモード n （ n は2以上の整数）で動作するクロック同期回路を実現するため、従来のBDD構成の遅延回路列を備えた構成と比較して、動作可能なクロック周期の下限 t_{CKmin} を引き下げることが

できる、という効果を奏する。

【0 1 1 1】

さらに、本発明によれば、従来の4相駆動方式のBDD構成の遅延回路列（ロックモード $n = 2$ に相当）を備えたクロック同期回路に比較して回路の面積及び消費電力を低減できる利点がある。その理由はBDD構成の遅延回路列の相数が半分の2本で済むことであり、また、同じ最大サイクル時間 t_{CKmax} を実現するために必要な1相当りの回路規模が小さくて済むためである。

【0 1 1 2】

さらに、本発明によれば、ロックモード $n = 1$ で動作可能なクロック周期（ t_{CK} ）の領域では、自動的に、ロックモード $n = 1$ 動作に切り替わり、ジッタと消費電力を低減できる、という利点がある。

【図面の簡単な説明】

【図 1】

本発明の第1の実施例の構成を示す図である。

【図 2】

本発明の第1の実施例のプリ、ポストディレイ回路の構成を示す図である。

【図 3】

本発明の第1の実施例のタップ選択回路の構成を示す図である。

【図 4】

本発明の第1の実施例のタップ選択回路の動作を説明するためのタイミング図である。

【図 5】

本発明の第1の実施例の動作を説明するためのタイミング図である。

【図 6】

本発明の第2の実施例のタップ選択回路の構成を示す図である。

【図 7】

本発明の第2の実施例のタップ選択回路の動作を説明するためのタイミング図である。

【図 8】

本発明の第 2 の実施例のタップ選択回路の動作を説明するためのタイミング図である。

【図 9】

(A) は従来 of クロック同期回路の構成を示す図であり、(B) は (A) 回路の動作を説明するタイミング図である。

【図 1 0】

従来 of クロック同期回路の構成を示す図である。

【図 1 1】

図 1 0 of 従来 of クロック同期回路の動作を説明するタイミング図である。

【符号 of 説明】

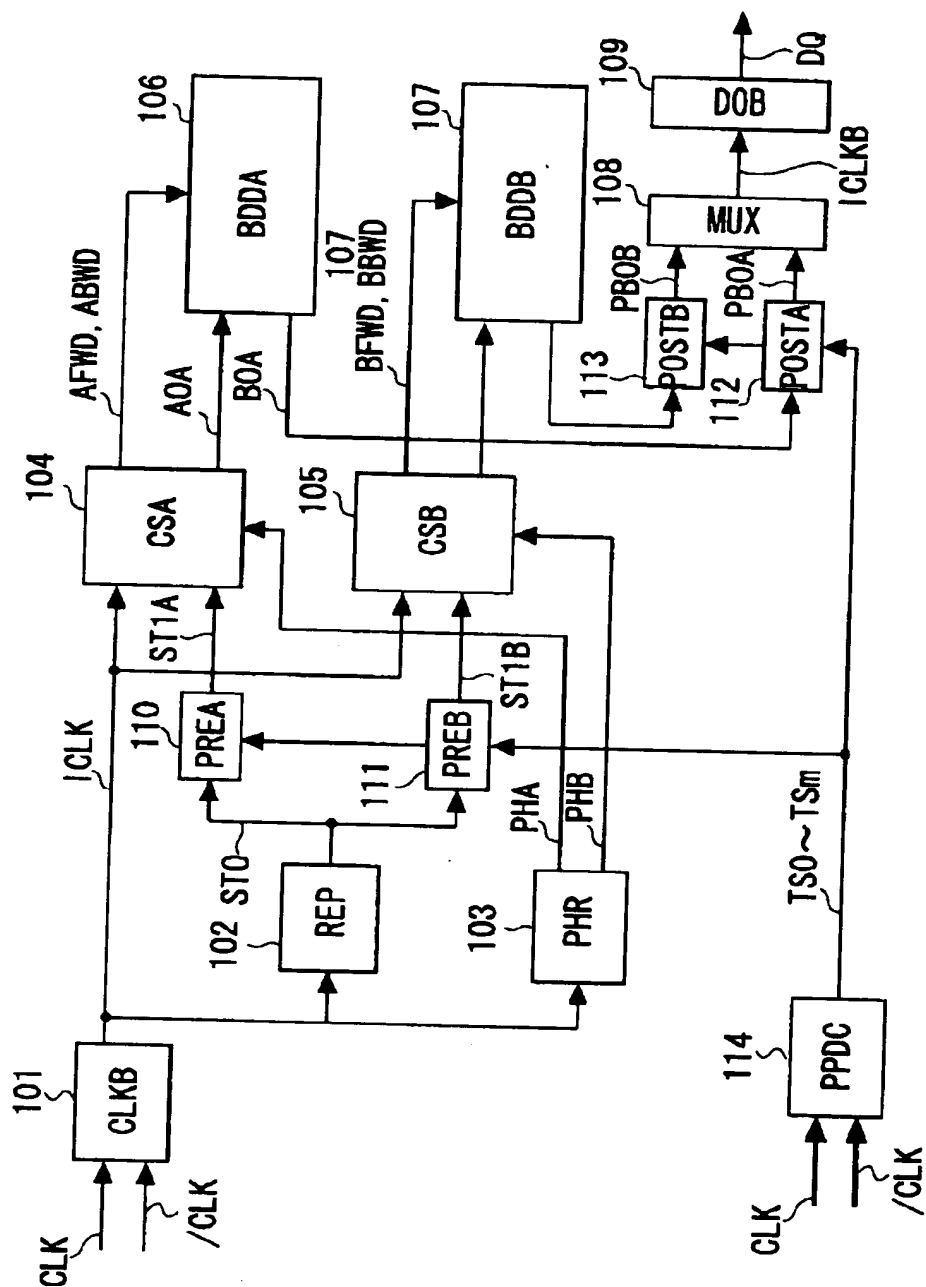
- 1 0 1 クロックバッファ
- 1 0 2 レプリカ
- 1 0 3 相選択回路
- 1 0 4、1 0 5 制御回路
- 1 0 6、1 0 7 遅延回路列
- 1 0 8 マルチプレクサ
- 1 0 9 出力回路
- 1 1 0、1 1 1 プリディレイ回路
- 1 1 2、1 1 3 ポストディレイ回路
- 1 1 4 遅延時間設定回路 (タップ選択回路)
- 2 0 0 遅延素子
- 2 0 1、2 0 3 NMOS トランジスタ
- 2 0 2、2 0 4 PMOS トランジスタ
- 2 0 5 インバータ
- 3 0 1 クロックバッファ
- 3 0 2 分周回路
- 3 0 3 レプリカ
- 3 0 4 付加遅延回路
- 3 0 5 遅延要素

- 3 0 6 トランスファゲート
- 3 0 7 インバータ
- 3 0 8 フリップフロップ
- 3 0 9 インバータ
- 3 1 0 排他的論理和回路
- 3 1 1 否定論理積回路
- 3 1 2 インバータ
- 3 1 3 T S R 回路
- 3 2 0 ロックモード判定回路
- 3 2 1 分周回路
- 3 2 2 付加遅延回路
- 3 2 3 フリップフロップ
- 4 0 1 クロックバッファ
- 4 0 2 レプリカ
- 4 0 3 相選択回路
- 4 0 4、4 0 5 制御回路
- 4 0 6、4 0 7 遅延回路列
- 4 0 8 マルチプレクサ
- 4 0 9 出力回路
- 5 0 1 クロックバッファ
- 5 0 2 レプリカ
- 5 0 3 相選択回路
- 5 0 4、5 0 5、5 0 6、5 0 7 制御回路
- 5 0 8、5 0 9、5 1 0、5 1 1 遅延回路列
- 5 1 2 マルチプレクサ
- 5 1 3 出力回路

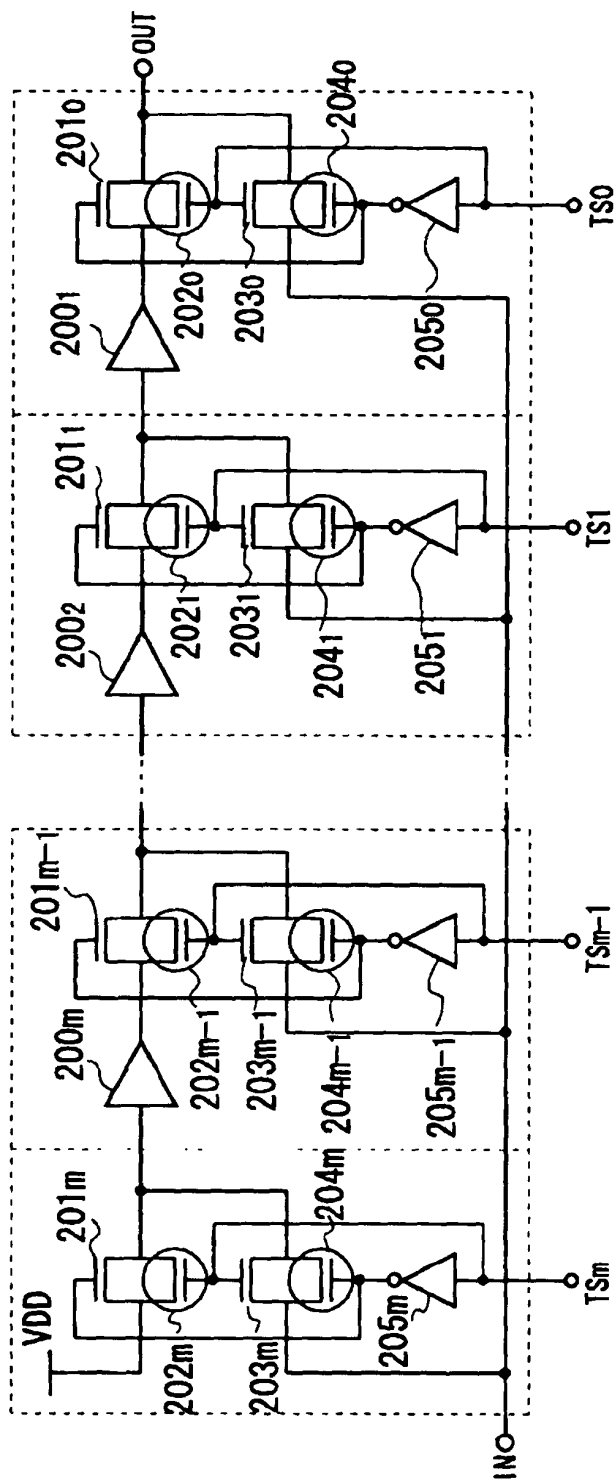
【書類名】

図面

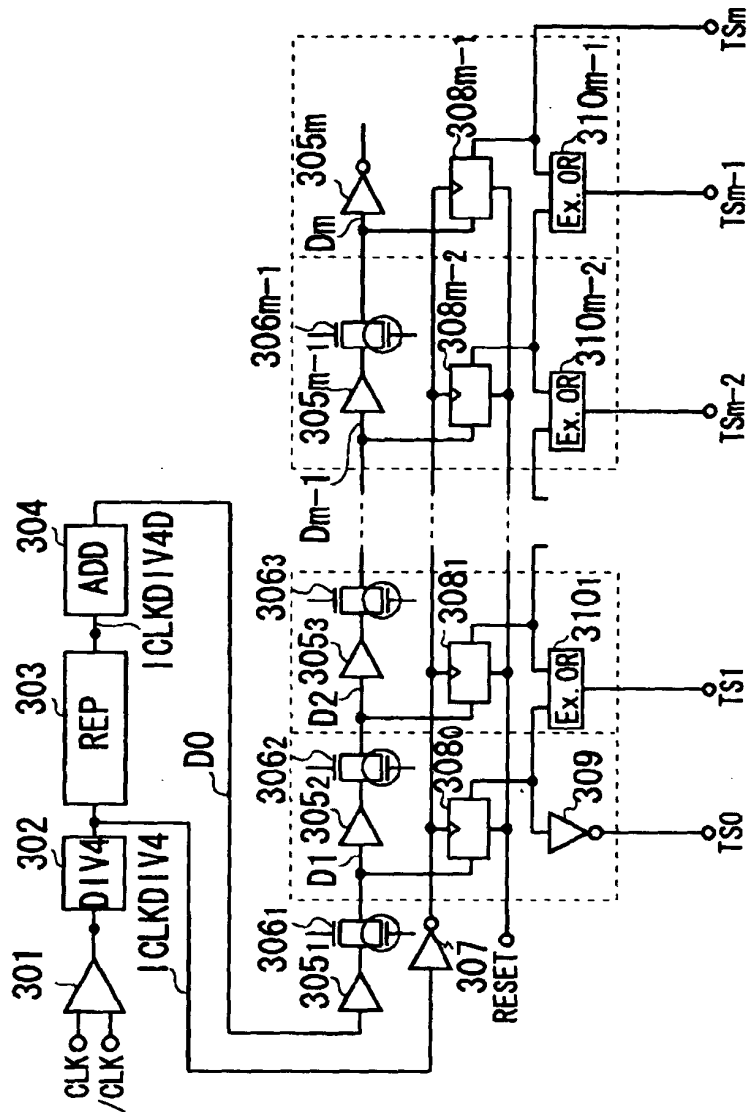
【図 1】



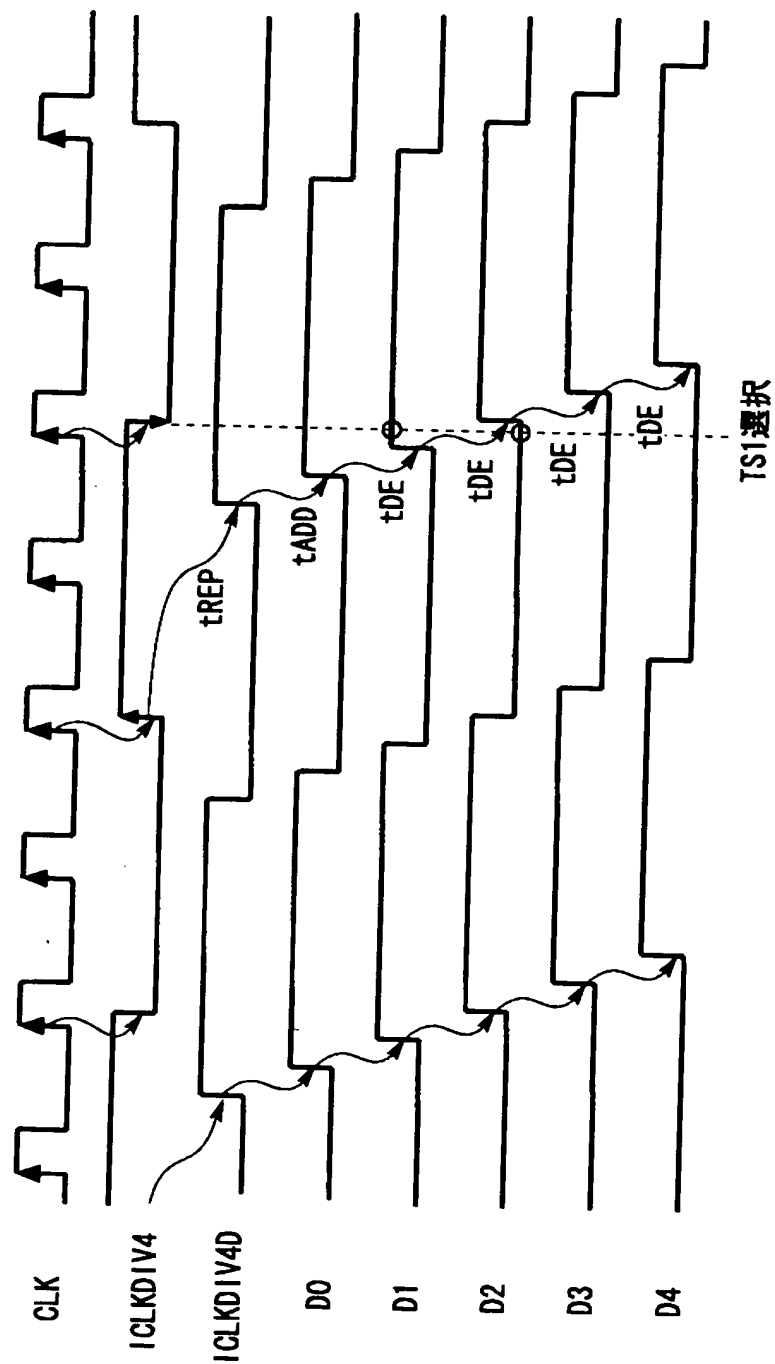
【図 2】



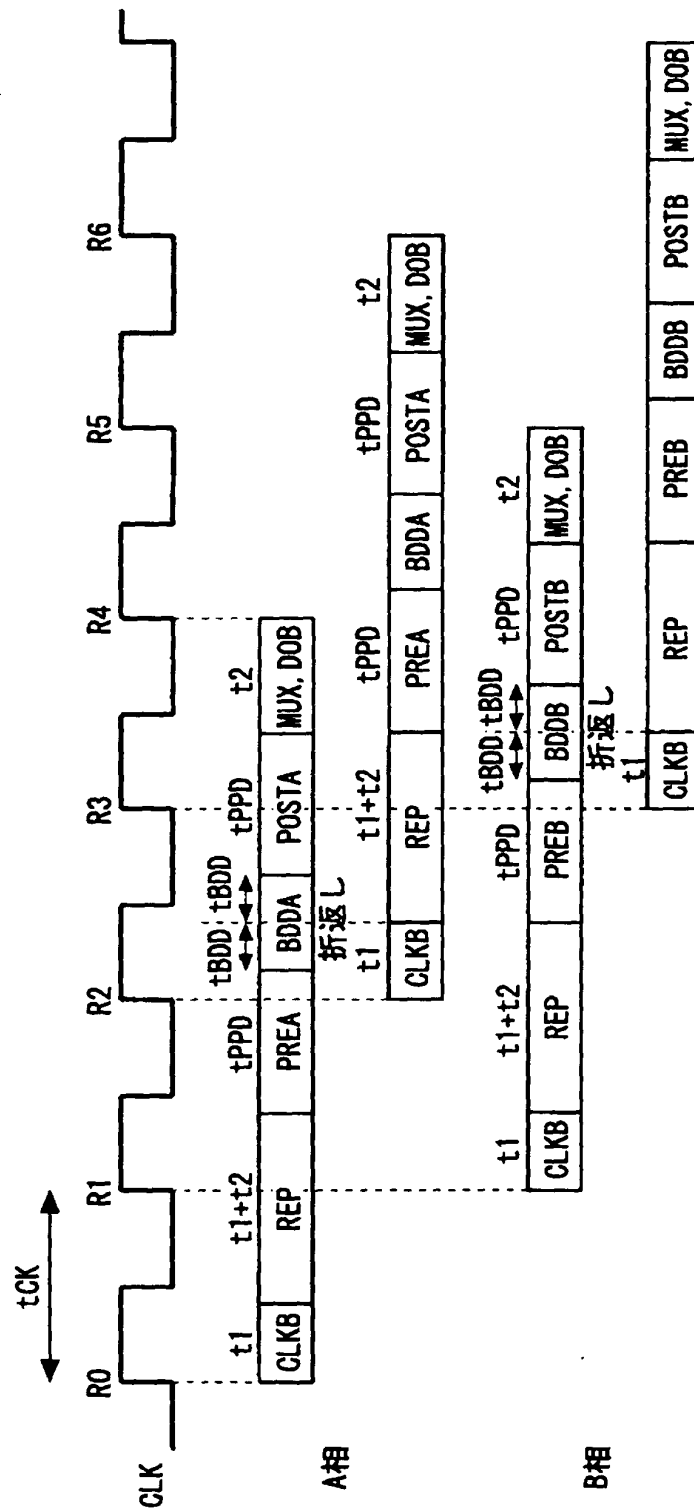
【図 3】



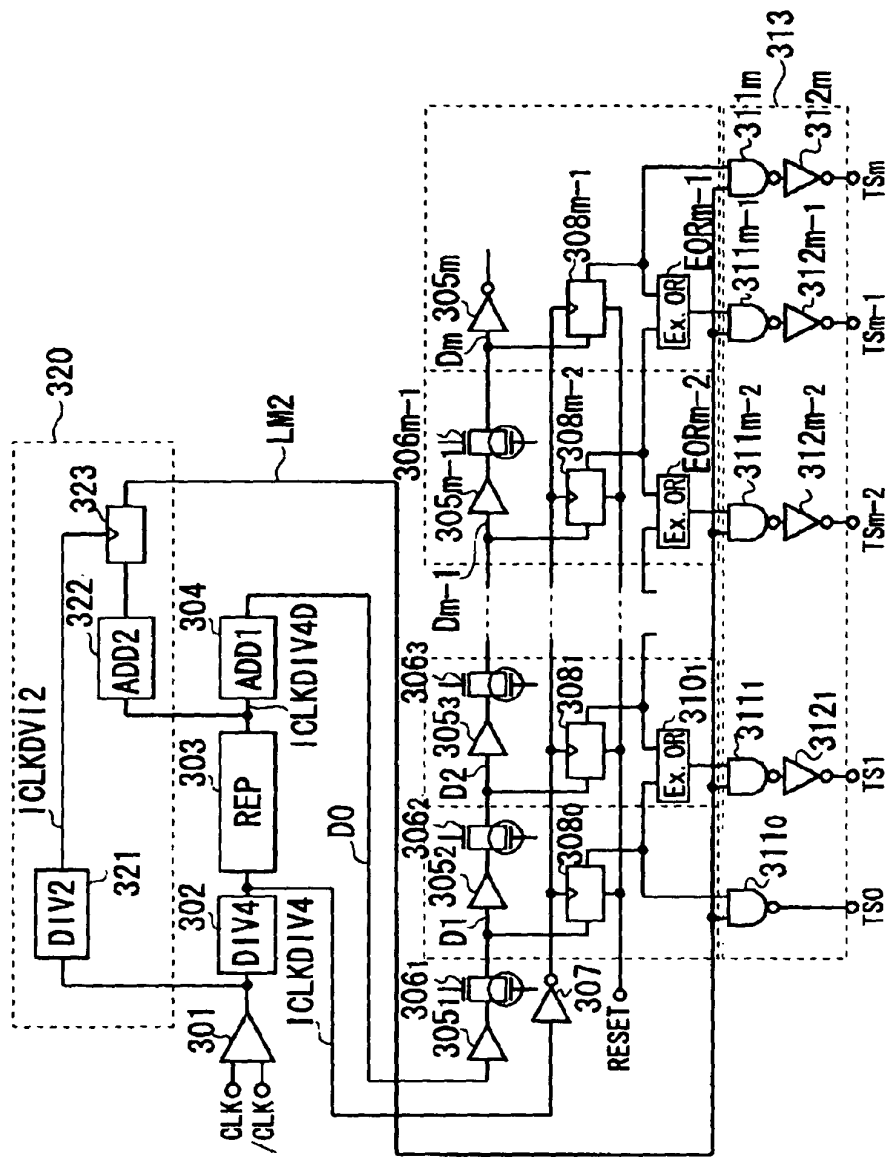
【図4】



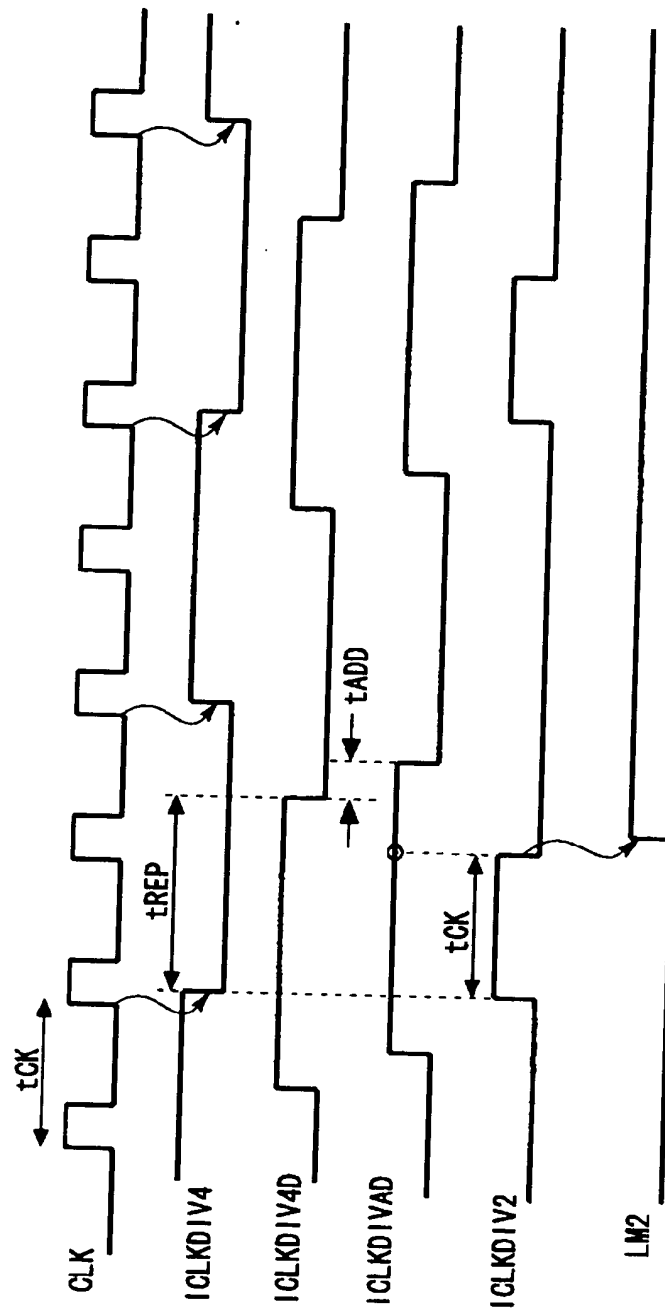
【図 5】



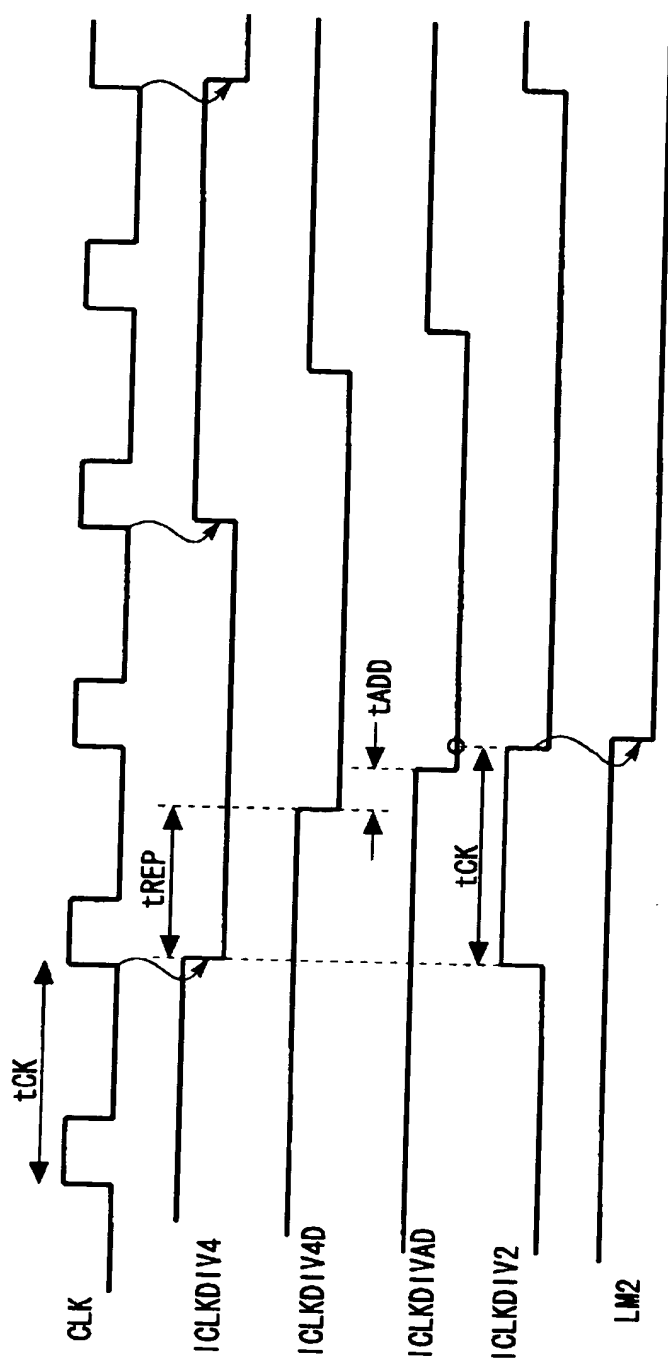
【図 6】



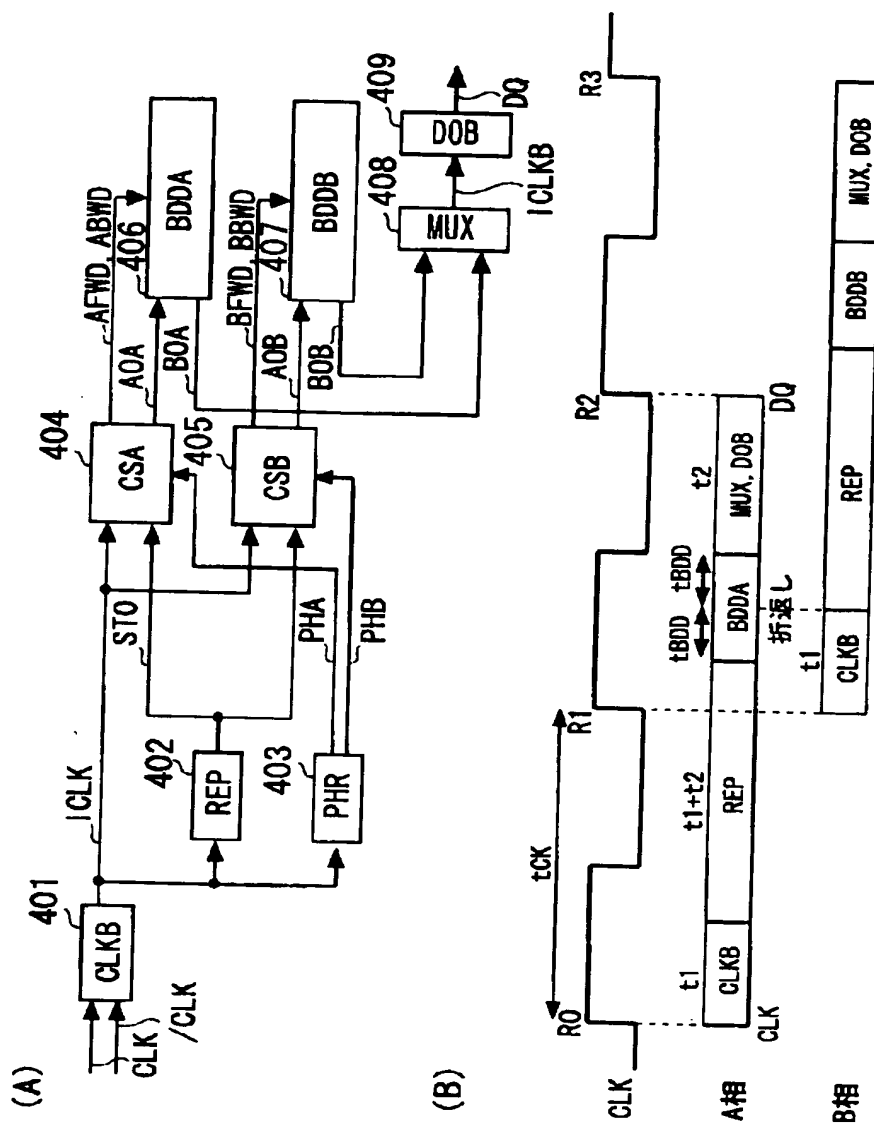
【図 7】



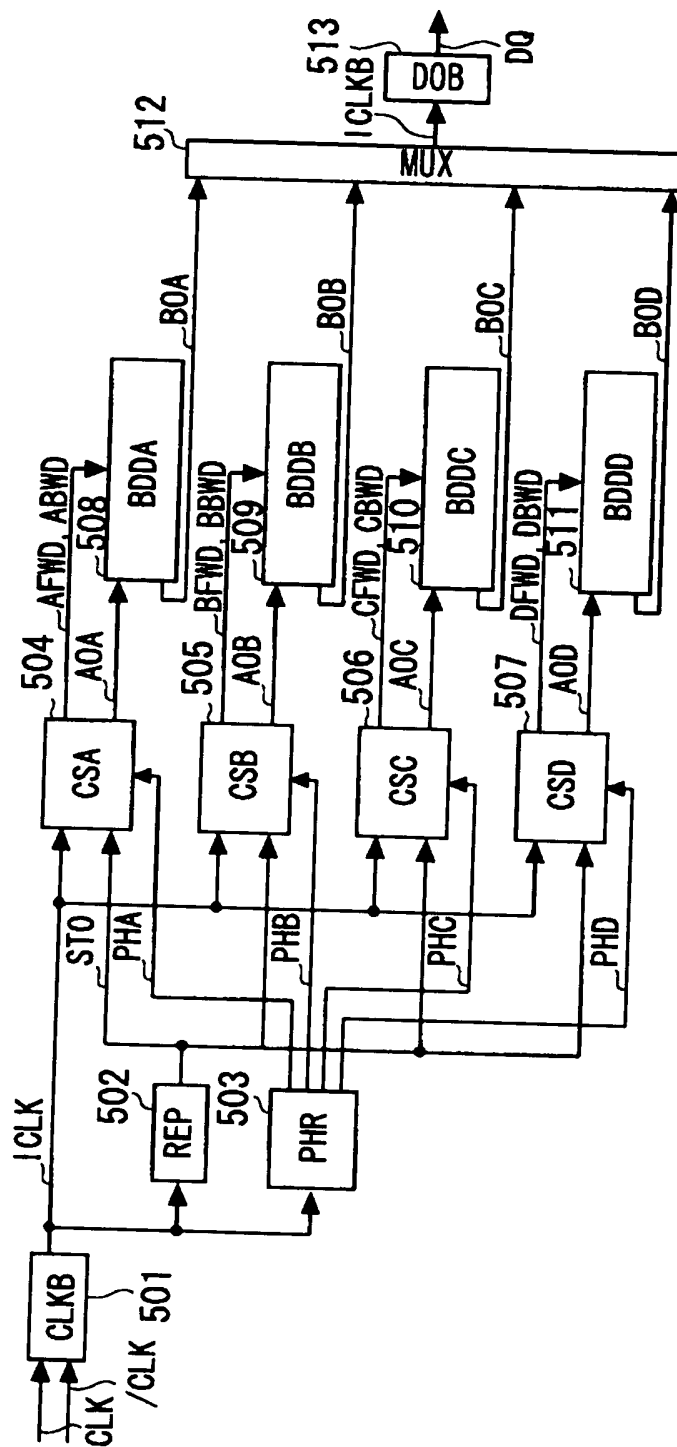
【図8】



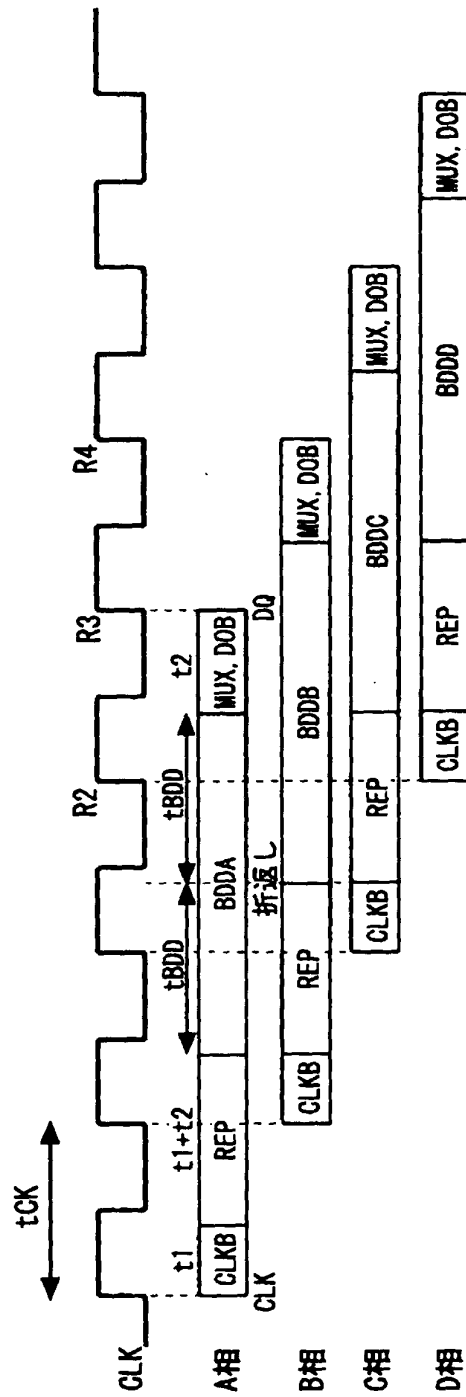
【图9】



【図10】



【図 11】



【書類名】

要約書

【要約】

【課題】

小面積かつ低消費電力で、より高い周波数で動作するクロック同期回路の提供。

【解決手段】

クロック信号を遅延させて出力する第1の遅延回路102と、第1及び第2の双方向型遅延回路列106、107と、第1の双方向型遅延回路列(BDDA)の前段と後段とにそれぞれ配設される、遅延時間可変型の第1の前段遅延回路110と第1の後段遅延回路112と、第2の双方向型遅延回路列(Bddb)の前段と後段にそれぞれ配設される、遅延時間可変型の第2の前段遅延回路111と第2の後段遅延回路113と、第1及び第2の後段遅延回路の出力を入力して多重して出力する多重回路108を備え、第1及び第2の前段遅延回路110、111には、第1の遅延回路102の出力信号が共通に入力され、第1の前段遅延回路、第1の双方向型遅延回路列、及び第1の後段遅延回路からなる第1のパスと、第2の前段遅延回路、第2の双方向型遅延回路列、及び第2の後段遅延回路からなる第2のパスとがクロック信号のサイクル毎に交互に切替られる。

【選択図】

図1

出 願 人 履 歴 情 報

識別番号 [500174247]

1. 変更年月日 2000年 7月12日
[変更理由] 名称変更
住 所 東京都中央区八重洲2-2-1
氏 名 エルピーダメモリ株式会社